

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-068
SUMINO et al.
July 14, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月29日

出 願 番 号

Application Number:

特願2003-020357

[ST.10/C]:

[JP2003-020357]

出 願 人

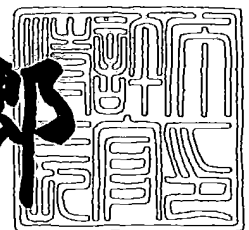
Applicant(s):

三菱電機株式会社

2003年 2月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010894

【書類名】 特許願

【整理番号】 540024JP01

【提出日】 平成15年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336
H01L 21/316

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 角野 潤

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 清水 悟

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 主表面を有し、その主表面に間隔を隔てて第 1 および第 2 の
トレンチが形成された半導体基板と、

前記第 1 および第 2 のトレンチを充填する第 1 および第 2 の分離絶縁膜と、

前記第 1 の分離絶縁膜と前記第 2 の分離絶縁膜との間に位置する前記主表面上
に形成され、前記第 1 の分離絶縁膜と前記第 2 の分離絶縁膜との各々に接触する
バースビーク形状の端部を有するシリコンを含むゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第 1 の分離絶縁膜と前記第 2 の分離絶縁
膜との間の中間部において 0 を超え 5 0 n m 未満の厚みを有し、前記端部上にお
いて前記厚みよりも薄いシリコン膜とを備える、半導体装置。

【請求項 2】 前記シリコン膜上に接続されたシリコンを含む導電膜をさら
に備える、請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート絶縁膜は第 1 の頂面を有し、前記第 1 および第 2
の分離絶縁膜の各々は第 2 の頂面を有し、前記主表面から前記第 2 の頂面までの
距離は、前記主表面から前記第 1 の頂面までの距離よりも大きい、請求項 1 また
は 2 に記載の半導体装置。

【請求項 4】 前記シリコン膜はリンを含む、請求項 1 から 3 のいずれか 1
項に記載の半導体装置。

【請求項 5】 前記第 1 および第 2 のトレンチの側面を規定する前記半導体
基板の部分に連なる表面を有し、前記シリコン膜および前記ゲート絶縁膜の側壁
に接触するように形成された側壁絶縁膜をさらに備える、請求項 1 から 4 のいず
れか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、一般的には半導体装置に関し、より特定的には、バースビーク状
の酸化膜がゲート絶縁膜に形成された半導体装置に関する。

【0 0 0 2】

【従来の技術】

半導体素子の分離方法として、LOCOS (Local Oxidation of Silicon) 法およびSTI (Shallow Trench Isolation) 法が一般的に知られている。これらの分離方法では、半導体基板上に素子分離構造となる分離酸化膜を堆積した後に、活性領域となる半導体基板の表面をエッチングにより露出させ、その露出した部分にゲート絶縁膜などを順次形成することとなっている。

【0 0 0 3】

しかしこの場合、分離酸化膜の側壁部分もエッチングされ、活性領域の端部が分離領域に落ち込んだ形状となるおそれが生じる。これにより、活性領域に形成される素子の形状が不安定となりデバイス特性にばらつきが生じる原因となる。また、落ち込んだ形状部分にゲート酸化膜を形成すると、その部分で電界集中が発生しデバイスの電気的特性が劣化するという問題が生じる。そして、このような問題を解決する不揮発性半導体記憶装置の製造方法が、特開2000-315738号公報に開示されている（特許文献1）。また、それとは別に分離領域の製造工程が開示されている先行文献として、特開平10-242264号公報（特許文献2）、および特開2001-332638号公報（特許文献3）がある。

【0 0 0 4】

特許文献1に開示されている方法によれば、トンネル酸化膜と浮遊ゲートの一部を構成する第1の多結晶シリコン膜とを形成した後に素子分離領域を形成する。そして、制御ゲートと浮遊ゲートとの間の十分な容量カップリングを確保するために、第1の多結晶シリコン膜の上に第2の多結晶シリコン膜を形成し、この第2の多結晶シリコン膜を素子分離領域上に張り出させる。

【0 0 0 5】

また、素子領域の角部を丸めることを目的として、トンネル酸化膜にバースビーク (birds beak) が生じるように酸化工程を行なう。この酸化工程の際、第1の多結晶シリコン膜が酸化されることによってその端部が丸まった形状となる。形状が丸まった第1の多結晶シリコン膜の部分はその後の垂直エッチングによっ

て除去されないため、隣接する浮遊ゲート間で短絡が発生する。特許文献1ではこのように短絡が発生することを防止するため、等方性エッチングにより素子分離領域に形成されたプラズマ酸化膜を所定量エッチングする工程を追加している。

【0006】

【特許文献1】

特開2000-315738号公報

【0007】

【特許文献2】

特開平10-242264号公報

【0008】

【特許文献3】

特開2001-332638号公報

【0009】

【発明が解決しようとする課題】

このように上述の従来技術では、素子領域の端部で発生する電界集中を抑制するために、第1の多結晶シリコン膜を酸化しトンネル酸化膜にバースピークを形成している。しかし、バースピークが形成されたトンネル酸化膜の端部は、初めに成膜された時の所定の厚みよりも大きい厚みで形成されることとなる。

【0010】

そして、トンネル酸化膜が所定の厚みで形成された部分が十分に確保されない、トンネル酸化膜で所望の電気的特性が得られない原因となり得る。特に、近年における半導体素子の微細化に伴い活性領域の幅は縮小する傾向にあり、活性領域に形成されるトンネル酸化膜の幅も狭くなっている。このため、トンネル酸化膜に形成するバースピークの大きさを適切に制御して、酸化工程を行なうことが重要である。

【0011】

しかし、従来技術に開示された方法では、温度条件などの酸化条件のみを適当に選択してトンネル酸化膜にバースピークを形成している。このような場合、形

成するバースピークの大きさを十分に制御することができず、トンネル酸化膜で所望の電気的特性が得られなかったり、トンネル酸化膜の両端部で電界集中が生じるおそれがある。

【0012】

また、従来技術では、垂直エッチングで除去されなかった第1の多結晶シリコン膜の部分に起因して発生する短絡を防止するために等方性エッチングを行なっている。しかし、このような工程を設けることは製造工程を煩雑するため好ましくない。

【0013】

そこで、この発明の目的は、上記の課題を解決することであり、ゲート絶縁膜に所望の大きさでバースピークが形成され、ゲート絶縁膜の電気的特性に優れた半導体装置を提供することである。

【0014】

【課題を解決するための手段】

この発明に従った半導体装置は、主表面を有し、その主表面に間隔を隔てて第1および第2のトレンチが形成された半導体基板と、第1および第2のトレンチを充填する第1および第2の分離絶縁膜と、第1の分離絶縁膜と第2の分離絶縁膜との間に位置する主表面上に形成され、第1の分離絶縁膜と第2の分離絶縁膜との各々に接触するバースピーク形状の端部を有するシリコンを含むゲート絶縁膜と、ゲート絶縁膜上に形成され、第1の分離絶縁膜と第2の分離絶縁膜との間の中間部において0を超え50nm未満の厚みを有し、端部上において厚みよりも薄いシリコン膜とを備える。

【0015】

【発明の実施の形態】

この発明の実施の形態について、図面を参照して説明する。

【0016】

（実施の形態1）

図1は、この発明の実施の形態1における半導体装置を示す断面図である。図1に示す半導体装置は、不揮発性半導体記憶装置のフラッシュメモリを構成して

いる。

【0017】

図1を参照して、シリコン基板1の主表面1aには、1方向に延びるトレンチ2mおよび2nが所定の間隔を隔てて形成されている。トレンチ2mおよび2nは、シリコン基板1の主表面1aに向かうにつれて溝幅が大きくなるように形成されている。トレンチ2mおよび2nの各々は、互いに平行に延びている。

【0018】

トレンチ2mおよび2nの内部には、シリコン酸化膜からなる素子分離酸化膜6mおよび6nが形成されている。素子分離酸化膜6mおよび6nは、トレンチ2mおよび2nを充填し、さらにシリコン基板1の主表面1aから上方に向けて延びている。このため、素子分離酸化膜6mおよび6nが有する頂面6aは、シリコン基板1の主表面1aよりも高い位置に形成されている。素子分離酸化膜6mおよび6nは、隣接する活性領域の各々を分離するための分離領域を形成する役割を果たす。

【0019】

素子分離酸化膜6mおよび6nの間に位置するシリコン基板1の主表面1a上には、シリコン酸化膜からなるトンネル酸化膜3が膜厚10nm程度で形成されている。トレンチ2mおよび2nを充填する素子分離酸化膜6mおよび6nの側壁とシリコン基板1の主表面1aとが交差するコーナー部分は丸みがついた形状で形成されており、その部分を充填するシリコン酸化膜はバースピーク部12を構成している。バースピーク部12は、シリコン基板1に含まれるシリコンが酸化されることによって形成されている。

【0020】

トンネル酸化膜3の上には、ポリシリコン膜4が膜厚30nmで形成されている。シリコン基板1の主表面1a上で上下に延びる素子分離酸化膜6mおよび6nの側壁とトンネル酸化膜3の頂面3aとが交差するコーナー部分は丸みがついた形状に形成されており、その部分を充填するシリコン酸化膜はバースピーク部11を構成している。バースピーク部11は、ポリシリコン膜4に含まれるシリコンが酸化されることによって形成されている。

【0021】

バースピーク部11および12は、トンネル酸化膜3の両端部、つまりトンネル酸化膜3が素子分離酸化膜6mおよび6nと接する部分に形成されている。バースピーク部11および12により、トンネル酸化膜3の両端部はエッジが形成されず丸まった形状に形成されている。なお、ポリシリコン膜4の頂面にはバースピーク部11および12のような形状は形成されずほぼ平坦な形状に形成されている。

【0022】

シリコン基板1の主表面1a上で、素子分離酸化膜6mおよび6nの側壁により凹部9が形成されている。この凹部9を充填し、素子分離酸化膜6mおよび6nの頂面6aの一部を覆うように、またポリシリコン膜4に接続されるようにシリコンを含む導電膜5が形成されている。シリコンを含む導電膜5は、不純物としてリン(P)が注入されたドーフトポリシリコンから形成されている。なお、シリコンを含む導電膜5とポリシリコン膜4とによってフローティングゲート電極が構成されている。

【0023】

素子分離酸化膜6mおよび6nの頂面6a上には、シリコンを含む導電膜5の側壁により凹部13mおよび13nが形成されている。この凹部13mおよび13nならびにシリコンを含む導電膜5の頂面を覆うように、酸化膜、窒化膜および酸化膜の3層構造からなるONO膜7が形成されている。凹部13mおよび13nを完全に充填しONO膜7を覆うようにコントロールゲート8が形成されている。コントロールゲート8は、不純物としてリンが注入されたドーフトポリシリコンから形成されている。

【0024】

なお図示しないが、紙面の垂直方向においてシリコンを含む導電膜5の両側に位置するシリコン基板1の主表面1aには、ソース領域およびドレイン領域が形成されている。これらのソース領域およびドレイン領域と、トンネル酸化膜3と、シリコンを含む導電膜5と、ONO膜7と、コントロールゲート8とからフラッシュメモリセルが構成されている。

【0025】

また、本実施の形態では、ポリシリコン膜4およびシリコンを含む導電膜5にポリシリコンを用いたが、ポリシリコンにかえてアモルファスシリコンを用いても良い。ポリシリコン膜4およびシリコンを含む導電膜5を同一の材料から形成する必要はなく、適当な材料を組合せて用いても良い。この場合、デバイス構造の設計の自由度が増す。

【0026】

この発明の実施の形態1に従った半導体装置は、主表面1aを有し、その主表面1aに間隔を隔てて第1および第2のトレンチとしてのトレンチ2mおよび2nが形成された半導体基板としてのシリコン基板1と、トレンチ2mおよび2nを充填する第1および第2の分離絶縁膜としての素子分離酸化膜6mおよび6nと、素子分離酸化膜6mと素子分離酸化膜6nとの間に位置する主表面1a上に形成され、素子分離酸化膜6mと素子分離酸化膜6nとの各々に接触するバースビーク形状の端部としてのバースビーク部11を有するシリコンを含むゲート絶縁膜としてのトンネル酸化膜3と、トンネル酸化膜3上に形成され、素子分離酸化膜6mと素子分離酸化膜6nとの間の中間部において0を超え50nm未満の厚みを有し、バースビーク部11上においてその厚みよりも薄いシリコン膜としてのポリシリコン膜4とを備える。

【0027】

半導体装置は、主表面1aを有し、その主表面1aに間隔を隔てて第1および第2のトレンチとしてのトレンチ2mおよび2nが形成された半導体基板としてのシリコン基板1と、トレンチ2mおよび2nを充填する第1および第2の分離絶縁膜としての素子分離酸化膜6mおよび6nと、素子分離酸化膜6mと素子分離酸化膜6nとの間に位置する主表面1a上に形成され、シリコンを含むゲート絶縁膜としてのトンネル酸化膜3と、トンネル酸化膜3上に形成され、0を超え50nm未満の厚みを有するシリコン膜としてのポリシリコン膜4とを備える。トンネル酸化膜3の両端は、トンネル酸化膜3に隣接する位置でポリシリコン膜4が酸化されることによって形成されたバースビーク部11を含む。

【0028】

半導体装置は、ポリシリコン膜4上に接続されたシリコンを含む導電膜としてのシリコンを含む導電膜5をさらに備える。トンネル酸化膜3は第1の頂面としての頂面3aを有し、素子分離酸化膜6mおよび6nの各々は第2の頂面としての頂面6aを有する。主表面1aから頂面6aまでの距離は、主表面1aから頂面3aまでの距離よりも大きい。

【0029】

このようにすることで、製造条件のばらつき等により頂面6aが下がってもバースピーク部11がなくなることがない。なお、バースピーク部11がなくならないためには、主表面1aから頂面6aまでの距離は20nm以上が望ましい。また、フローティングゲート電極が素子分離酸化膜6mおよび6n上にのるためにはトンネル酸化膜3とポリシリコン膜4の膜厚の和以上が必要である。

【0030】

図2から図6および図11から図17は、図1中に示す半導体装置の製造方法の工程を示す断面図である。図1から図6および図11から図17を用いて、図1中に示す半導体装置の製造方法について説明する。

【0031】

図2を参照して、トンネル酸化膜3を形成するために、シリコン基板1上にシリコン酸化膜を膜厚10nm程度で形成する。続いて、トンネル酸化膜3上に不純物としてリンを含むポリシリコン膜4を膜厚30nmで堆積する。このとき、まずノンドープトポリシリコン膜を堆積し、その後そのノンドープトポリシリコン膜にリンを注入しても良い。さらに、ポリシリコン膜4上にシリコン窒化膜21を堆積する。

【0032】

図3を参照して、間隔を隔てて開口24が形成されたレジスト膜23をシリコン窒化膜21上に形成する。図4を参照して、レジスト膜23をマスクとしてシリコン窒化膜21をエッチングする。これにより、開口24によってレジスト膜23から露出するシリコン窒化膜21が除去される。その後、レジスト膜23を除去する。

【0033】

図 5 を参照して、シリコン窒化膜 2 1 をマスクとしてポリシリコン膜 4、トンネル酸化膜 3 およびシリコン基板 1 を順次エッチングし、シリコン基板 1 に所定形状を有するトレンチ 2 m および 2 n を形成する。

【 0 0 3 4 】

図 6 を参照して、トレンチ 2 m および 2 n の内壁に熱酸化法による酸化工程を行なう。この酸化工程により、トレンチ 2 m および 2 n の側壁および底面には、内壁酸化膜 2 6 が形成される。また、トレンチ 2 m および 2 n とシリコン基板 1 の主表面 1 a とのコーナー部分ではシリコン基板 1 が丸まった形状に酸化され、その部分にバースピーク部 1 2 が形成される。さらに、ポリシリコン膜 4 の両端がトンネル酸化膜 3 と隣接する位置ではポリシリコン膜 4 が丸まった形状に酸化され、その部分にバースピーク部 1 1 が形成される。

【 0 0 3 5 】

本実施の形態では、ポリシリコン膜 4 の厚みを 3 0 n m としたが、ポリシリコン膜 4 の膜厚を、0 を超え 5 0 n m 未満の範囲で調節することによって、バースピーク部 1 1 が形成される大きさを自由に制御することができる。つまり、ポリシリコン膜 4 の厚みを所定の範囲内で大きくすることによってバースピーク部 1 1 の大きさを大きくし、ポリシリコン膜 4 の厚みを小さくすることによってバースピーク部 1 1 の大きさを小さくすることができる。

【 0 0 3 6 】

また、酸化工程における酸化条件とポリシリコン膜 4 の厚みとを適当に組合せることによって、バースピーク部 1 1 が形成される大きさをさらに自由に制御することができる。

【 0 0 3 7 】

このとき、ポリシリコン膜 4 の厚みを 5 0 n m 以上の値で増加させても、バースピーク部 1 1 の大きさをさらに大きくできないことを発明者は知見した。また、ポリシリコン膜 4 の厚みが 5 0 n m よりも大きい場合、紙面に垂直方向に隣接するシリコンを含む導電膜 5 間に短絡が生じるおそれがある。

【 0 0 3 8 】

図 7 は、隣接するフローティングゲート間で生じる短絡を説明するための断面

図である。図7を参照して、ポリシリコン膜4は50nm以上の膜厚で形成されている。ポリシリコン膜4の厚みが大きいため、ポリシリコン膜4の頂面側、つまりポリシリコン膜4とシリコンを含む導電膜5とが接触する側においても、ポリシリコン膜4の両端部が酸化されてバースピーク部27が形成される。

【0039】

このような場合、ポリシリコン膜4の頂面側に形成されたバースピーク部27とポリシリコン膜4の底面側で形成されたバースピーク部11との間に位置するポリシリコン膜4pが、シリコンを含む導電膜5を紙面に垂直方向に分断する垂直エッチングの際エッチングされずに残る。このため、分断されたはずの隣接するポリシリコン膜4同士が短絡してしまうおそれが生じる。

【0040】

図8は、ポリシリコン膜によって短絡が発生した半導体装置を示す平面図である。図9は、図8中のI X-I X線上に沿った断面図である。図10は、図8中のX-X線上に沿った断面図である。

【0041】

図8および図9を参照して、活性領域51が一方向に延びて形成されている。下層にそれぞれシリコンを含む導電膜5およびポリシリコン膜4が位置するコントロールゲート8aおよび8bが、活性領域51が延びる方向とほぼ直角方向に延びて形成されている。コントロールゲート8aおよび8bは、分離領域52によって分離されている。ポリシリコン膜4とシリコンを含む導電膜5とが接触する側においてバースピーク部27が形成されている。

【0042】

図8および図10を参照して、バースピーク部27の下方には、分離領域52でポリシリコン膜4がエッチングされずに残存することによってポリシリコン膜4pが設けられている。ポリシリコン膜4pによってコントロールゲート8aおよび8bの下層に位置するポリシリコン膜4のそれぞれは電氣的に接続されている。これにより、隣接するポリシリコン膜4同士で短絡が発生している。

【0043】

以上に説明したような理由から、所望の大きさにバースピーク部11を形成す

るためには、ポリシリコン膜 4 の厚みを 0 を超え 5 0 n m 未満の範囲で調節することが必要となる。

【 0 0 4 4 】

なお、フラッシュメモリにおいて、フローティングゲート電極を構成するポリシリコン膜 4 が 5 0 n m 以下では、フローティングゲート電極の側壁にフローティングゲート電極とコントロールゲート電極間の容量が十分形成できないため、さらにポリシリコン膜 4 に接続するシリコンを含む導電膜 5 を形成している。なお、エッチングなどのトレードオフからシリコンを含む導電膜 5 は 5 0 n m から 2 0 0 n m 程度の厚みであることが望ましい。

【 0 0 4 5 】

図 1 1 を参照して、素子分離酸化膜 6 m および 6 n を形成するために、プラズマ C V D (chemical vapor deposition) 法を用いて、トレンチ 2 m および 2 n を充填しシリコン窒化膜 2 1 の頂面を覆うようにシリコン酸化膜を堆積する。

【 0 0 4 6 】

図 1 2 を参照して、化学的機械研磨法 (C M P ; Chemical Mechanical Polishing) により、シリコン窒化膜 2 1 の頂面が少なくとも露出するまで図 1 1 に示す工程で堆積したシリコン酸化膜を研磨する。これにより、トレンチ 2 m および 2 n を充填し、シリコン窒化膜 2 1 の頂面と同一平面上に形成された頂面 6 a を有する素子分離酸化膜 6 m および 6 n が形成される。

【 0 0 4 7 】

素子分離酸化膜 6 m および 6 n に対してフッ酸などの酸化膜除去を追加することで、分離酸化膜の高さを所望の値に調整することが可能である。

【 0 0 4 8 】

図 1 3 を参照して、シリコン酸化膜の研磨により露出したシリコン窒化膜 2 1 を熱リン酸などにより選択的に除去する。これにより、シリコン基板 1 の主表面 1 a 上に位置する素子分離酸化膜 6 m および 6 n の間には凹部 9 が形成される。

【 0 0 4 9 】

シリコン窒化膜 2 1 の除去後に素子分離酸化膜形成のためのプラズマ C V D 膜の焼きしめ工程を追加しても良い。これにより、通常プラズマ C V D 膜を形成し

た直後に行なう焼きしめによって予想されるシリコン窒化膜からの水素などの不純物が拡散することを防止できる。これにより、トンネル酸化膜の信頼性を向上させることができる。

【0050】

図14を参照して、シリコンを含む導電膜5を形成するために、凹部9を充填し素子分離酸化膜6mおよび6nの頂面6aを覆うように、不純物としてリンを含むポリシリコン膜を堆積する。このとき、まずノンドープトポリシリコン膜を堆積し、その後そのノンドープトポリシリコン膜にリンを注入しても良い。

【0051】

図15を参照して、図14に示す工程で堆積したポリシリコン膜上に、素子分離酸化膜6mおよび6nの上方に開口29を有するレジスト膜28を形成する。

図16を参照して、レジスト膜28をマスクとしてポリシリコン膜をエッチングし、所定形状を有するシリコンを含む導電膜5を形成する。素子分離酸化膜6mおよび6nの頂面6a上には、シリコンを含む導電膜5によって側壁が規定される凹部13mおよび13nが形成される。その後、レジスト膜28を除去する。

【0052】

図17を参照して、凹部13mおよび13n、ならびにシリコンを含む導電膜5の頂面を覆うようにONO膜7を形成する。図1を参照して、凹部13mおよび13nを完全に充填しONO膜7を覆うように、不純物としてリンを含むポリシリコン膜を堆積しコントロールゲート8を形成する。以上の工程をもって、図1中に示す半導体装置が完成する。

【0053】

なお、本実施の形態では、シリコン基板1の主表面1aよりも高い位置に頂面6aを有する素子分離酸化膜6mおよび6nを形成した後、シリコン基板1の主表面1a上にトンネル酸化膜3を形成している。このため、トンネル酸化膜3の両端部が分離領域で落ち込み形状となることがない。これにより、電界集中が生じることのない形状でトンネル酸化膜3を形成し、所望の電気的特性を有する半導体装置を実現することができる。

【0054】

この発明の実施の形態 1 に従った半導体装置の製造方法は、シリコン基板 1 の主表面 1 a にトンネル酸化膜 3 を形成する工程と、トンネル酸化膜 3 上に 0 を超え 5 0 n m 未満の厚みを有するポリシリコン膜 4 を形成する工程と、間隔を隔てた位置においてポリシリコン膜 4 をそれぞれ露出させるマスク膜としてのシリコン窒化膜 2 1 を、ポリシリコン膜 4 上に形成する工程と、シリコン窒化膜 2 1 をマスクとしてポリシリコン膜 4、トンネル酸化膜 3 およびシリコン基板 1 を順次エッチングすることによりポリシリコン膜 4 の側壁を露出させるとともに、シリコン基板 1 にトレンチ 2 m および 2 n を形成する工程と、ポリシリコン膜 4 の側壁を酸化することによりトンネル酸化膜 3 に隣接する位置にバースピーク部 1 1 を形成する工程とを備える。

【 0 0 5 5 】

半導体装置の製造方法は、バースピーク部 1 1 を形成する工程の後に、トレンチ 2 m および 2 n を充填する素子分離酸化膜 6 m および 6 n を形成する工程と、シリコン窒化膜 2 1 を除去する工程と、ポリシリコン膜 4 ならびに素子分離酸化膜 6 m および 6 n を覆うように、シリコンを含む導電膜 5 を形成する工程とをさらに備える。

【 0 0 5 6 】

トンネル酸化膜 3 上に形成するポリシリコン膜 4 の厚みと、トンネル酸化膜に形成されるバースピーク部 1 1 との関係を確認するため、以下に示す実験を行なった。図 1 8 から図 2 0 は、トンネル酸化膜にバースピークを形成する工程を示す断面図である。

【 0 0 5 7 】

図 1 8 を参照して、シリコン基板 1 上に、シリコン酸窒化膜 (S i O N) からなるトンネル酸化膜 3、図 1 中のポリシリコン膜 4 としてのアモルファスシリコン膜 3 6、およびシリコン窒化膜 (S i N) 3 7 を順次形成した。この際、アモルファスシリコン膜 3 6 を 3 種類の厚みで形成した。所定のパターン形状を有する図示しないレジスト膜をシリコン窒化膜 3 7 上に形成した。そのレジスト膜をマスクとしてエッチングを行なうことによって、トンネル酸化膜 3、アモルファスシリコン膜 3 6 およびシリコン窒化膜 3 7 を所定の形状に形成した。

【0058】

図19を参照して、図18に示す工程によって得られた構造物に対して酸化工程を行った。これにより、シリコン基板1上には、LOCOS分離法による分離酸化膜38がトンネル酸化膜3に連なって形成された。分離酸化膜38とトンネル酸化膜3が連なる部分には、くちばし状のバースピーク部30が形成された。図20を参照して、シリコン窒化膜37およびアモルファスシリコン膜36を順次除去した。

【0059】

図21から図23は、図18から図20に示す工程によってトンネル酸化膜に形成されたバースピークの形状を示す図である。図21から図23を参照して、図21、図22および図23に示すバースピーク部30は、それぞれ図18中に示すアモルファスシリコン膜36の膜厚を30nm、50nmおよび70nmとした場合に得られたものである。なお、トンネル酸化膜3および分離酸化膜38上には、図20に示す工程の後に設けたアモルファスシリコン膜31が形成されている。

【0060】

バースピーク部30が有するくちばし状に形成された部分のなす角度を比較した場合、図21中に示すバースピーク部30よりも図22中に示すバースピーク部30の方が角度が大きくなった。また、図22および図23中に示すバースピーク部30では、くちばし状に形成された部分のなす角度に大きな変化はなかった。以上の結果より、図18中に示すアモルファスシリコン膜36の厚みが大きいほどバースピーク部30が大きく形成されるが、アモルファスシリコン膜36の厚みが50nm以上の場合には、バースピーク部30の大きさにほとんど変化が見られないことを確認できた。

【0061】

このように構成された半導体装置およびその製造方法によれば、ポリシリコン膜4をトンネル酸化膜3上に堆積した状態でトレンチ2mおよび2nの内壁に酸化工程を行なっている。このため、ポリシリコン膜4の厚みを所定の範囲内で調整することによって、バースピーク部11の大きさを自由に制御することができ

る。これにより、トンネル酸化膜 3 の両端部で生じる電界集中を防止するとともに、トンネル酸化膜 3 が所定の膜厚で形成された部分を確実に確保し所望の電気的特性を有する半導体装置を実現することができる。

【0062】

（実施の形態 2）

この発明の実施の形態 2 における半導体装置は、実施の形態 1 における半導体装置と比較して基本的に同様の構造を備える。ただ実施の形態 2 における半導体装置において、図 1 中に示すポリシリコン膜 4 はリンを含む。

【0063】

図 2 を参照して、実施の形態 2 における半導体装置では、トンネル酸化膜 3 上に不純物としてリンを含むポリシリコン膜 4 を膜厚 30 nm で堆積する。このとき、ポリシリコン膜 4 が含むリンの濃度を $4 \times 10^{20} \text{ cm}^{-3}$ 以下の範囲で調整する。ポリシリコン膜 4 中のリン濃度を変化させることによって、ポリシリコン膜 4 の酸化レートが変化することが知られている。一般的には、リン濃度が小さいほどポリシリコン膜 4 の酸化レートは小さくなり、リン濃度が大きいほどポリシリコン膜 4 の酸化レートは大きくなる。但し、このようなリン濃度とポリシリコン膜 4 の酸化レートとの関係には、以下に説明するようなリン濃度の上限値が存在する。

【0064】

図 24 は、シリコンに対する固体の溶解度と温度との関係を示すグラフである（出典；A.S.GROVE、「Physics and Technology of Semiconductor Devices」）。図 24 を参照して、横軸に温度（単位；℃）をとり、縦軸に固体の溶解度（Solid solubility）（単位； cm^{-3} ）をとっている。図 24 中の曲線 36 はある温度でシリコンにリンを注入した場合に、シリコン中に溶解することができるリンの濃度とその温度との関係を示している。

【0065】

曲線 36 から分かるように、温度を高くするに連れてシリコンに溶解できるリンの濃度も大きくなり、温度 1200（℃）付近で溶解できるリンの濃度は $4 \times 10^{20} \text{ cm}^{-3}$ になる。しかし、それ以上温度を高くしても溶解できるリン濃度を

大きくすることはできず逆にリン濃度は小さくなる。

【0066】

以上に説明した理由から、ポリシリコン膜4に注入するリンの濃度を $4 \times 10^{20} \text{ cm}^{-3}$ 以下の範囲で調整することによって、ポリシリコン膜4の酸化レートを変化させることができる。そして、ポリシリコン膜4の酸化レートを介して、ポリシリコン膜4に形成されるバースピーク部11の大きさを自由に制御することができる。また、図6に示す酸化工程における酸化条件、ポリシリコン膜4の厚み、およびポリシリコン膜4に注入するリンの濃度を適当に組合せることによって、バースピーク部11が形成される大きさをさらに自由に制御することができる。

【0067】

このように構成された半導体装置によれば、実施の形態1に記載の効果と同様の効果を奏することができる。加えて、実施の形態2では、ポリシリコン膜4に注入するリンの濃度というパラメータによってもバースピーク部11の大きさを制御することができる。このため、さらに大きな自由度をもって所定形状を有するバースピーク部11を形成することができる。なお、ポリシリコン膜に導電性を必要とする場合は、 10^{20} cm^{-3} オーダーのリン濃度にすることが好ましい。

【0068】

なお、本実施の形態では、ポリシリコン膜4に不純物としてリンを注入したが、半導体装置の構造に応じてヒ素（As）またはホウ素（B）などの不純物を注入してもよい。この場合であっても、不純物の濃度が小さいほどポリシリコン膜4の酸化レートは小さくなり、不純物の濃度が大きいほどポリシリコン膜4の酸化レートは大きくなる。したがって、ポリシリコン膜4に注入する不純物の濃度を調節することによって、バースピーク部11の大きさを自由に制御することができる。また、ポリシリコン膜4をノンドープトポリシリコンから形成すれば、バースピーク部11の形成をより積極的に抑制することができる。

【0069】

図25および図26は、トンネル酸化膜上のポリシリコン膜に注入される不純物濃度が調整された場合のバースピークの形状を示す断面図である。図25およ

び図26を参照して、実施の形態1および2に記載の半導体装置の製造方法に従って、シリコン基板1上のトンネル酸化膜3にバースピーク部30を形成し、バースピーク部30の形状を電子顕微鏡で観察した。但し、図1中に示すポリシリコン膜4には、アモルファスシリコン膜31を用いた。図25および図26に示すアモルファスシリコン膜31の膜厚は同一であるが、図25に示すアモルファスシリコン膜31は $1 \times 10^{20} \text{ cm}^{-3}$ の濃度でリンが注入されたドーフトアモルファスシリコンから形成されており、図26に示すアモルファスシリコン膜31はノンドーフトアモルファスシリコンから形成されている。

【0070】

図25および図26中のバースピーク部30を比較した場合、図25に示すバースピーク部30の方が図26に示すバースピーク部30より大きく形成された。したがって、ノンドーフトアモルファスシリコンから形成されたアモルファスシリコン膜31を使用することによってバースピーク部30の形成を抑制できることを確認できた。

【0071】

なお、ノンドーフトアモルファスシリコンから形成されたアモルファスシリコン膜31を用いることによって、アモルファスシリコン膜31がフローティングゲートとしての役割を十分に果たせるかという疑問が生じるが、以下の理由から問題はないものと判断される。

【0072】

つまり、バースピーク部30が形成された後、アモルファスシリコン膜31の上からは図1中に示すシリコンを含む導電膜5に相当する不純物を含むシリコン膜が堆積される。アモルファスシリコン膜31は、50nm未満の厚みで薄く形成されており、製造工程の途中で高温雰囲気下に置かれることを考慮すると、そのシリコン膜に含まれる不純物がアモルファスシリコン膜31中へと移動するものと考えられる。また、ノンドーフトシリコン膜をアモルファスシリコン膜31上に堆積した後に不純物を注入する工程を採用する場合には、その不純物を注入する工程の際に、アモルファスシリコン膜31にも不純物が注入されるものと考えられる。

【 0 0 7 3 】

(実施の形態 3)

図 2 7 は、この発明の実施の形態 3 における半導体装置を示す断面図である。図 2 7 を参照して、実施の形態 3 における半導体装置は、実施の形態 1 における半導体装置と比較して、図 1 中に示すポリシリコン膜 4 を備えない。

【 0 0 7 4 】

図 2 8 は、図 2 7 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 3 における半導体装置の製造方法は、実施の形態 1 における半導体装置の製造方法の図 1 3 に示す工程と図 1 4 に示す工程との間に、図 2 8 に示す工程を行なう。以下において、重複する製造工程の説明は省略する。

【 0 0 7 5 】

図 2 8 を参照して、シリコン窒化膜 2 1 を除去することによって露出したポリシリコン膜 4 を選択的に除去する。

【 0 0 7 6 】

この発明の実施の形態 3 に従った半導体装置の製造方法は、シリコン窒化膜 2 1 を除去する工程の後に、ポリシリコン膜 4 を除去する工程をさらに備える。

【 0 0 7 7 】

このように構成された半導体装置の製造方法によれば、実施の形態 1 に記載の効果と同様の効果を奏することができる。加えて、所望の形状を有するバースビーク部 1 1 を形成する役割を果たした後にポリシリコン膜 4 が除去されているため、ポリシリコン膜 4 とシリコンを含む導電膜 5 との間に生じるコンタクト抵抗および界面準位による影響を排除することができる。

【 0 0 7 8 】

(実施の形態 4)

この発明の実施の形態 4 における半導体装置は、実施の形態 1 における半導体装置と比較して基本的に同様の構造を備える。図 2 9 は、この発明の実施の形態 4 における半導体装置を示す断面図である。図 2 9 を参照して、実施の形態 4 における半導体装置は、図 1 に示す半導体装置にサイドウォール 4 1 をさらに備える。

【 0 0 7 9 】

シリコン基板 1 の内部に、1 方向に延びるトレンチ 4 2 m および 4 2 n が所定の間隔を隔てて形成されている。トレンチ 4 2 m および 4 2 n の各々は、互いに平行に延びている。シリコンを含む導電膜 5、ポリシリコン膜 4、トンネル酸化膜 3 およびシリコン基板 1 に側壁が規定され、シリコン基板 1 に底面 4 3 b が規定される凹部 4 3 m および 4 3 n の各々が、トレンチ 4 2 m および 4 2 n に接続されて形成されている。

【 0 0 8 0 】

凹部 4 3 m および 4 3 n の底面 4 3 b 上には、凹部 4 3 m および 4 3 n の側壁に接触するように、TEOS (Tetra Ethyl Ortho Silicate) などを原料としたシリコン酸化膜からなるサイドウォール 4 1 が形成されている。サイドウォール 4 1 は、底面 4 3 b に近づくにつれて凹部 4 3 m および 4 3 n の側壁からの距離が大きくなる表面を有する。その表面は、凹部 4 3 m および 4 3 n の上方から弧状に延びてトレンチ 4 2 m および 4 2 n の側壁へと連なって形成されている。

【 0 0 8 1 】

凹部 4 3 m および 4 3 n ならびにトレンチ 4 2 m および 4 2 n の内部を完全に充填するように、シリコン酸化膜からなる素子分離酸化膜 6 m および 6 n が形成されている。

【 0 0 8 2 】

この発明の実施の形態 4 に従った半導体装置は、第 1 および第 2 のトレンチとしてのトレンチ 4 2 m および 4 2 n の側面を規定するシリコン基板 1 の部分に連なる表面を有し、ポリシリコン膜 4 およびトンネル酸化膜 3 の側壁に接触するように形成されたサイドウォール 4 1 をさらに備える。

【 0 0 8 3 】

図 3 0 から図 3 6 は、図 2 9 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 4 における半導体装置の製造方法は、実施の形態 1 における半導体装置の製造方法の図 2 から図 4 に示す工程の後、図 3 0 から図 3 6 に示す工程が続く。さらにこの後に、実施の形態 1 における半導体装置の製造方法の図 1 4 から図 1 7 および図 1 に示す工程が続く。以下において、重複する製造工

程の説明は省略する。

【0084】

図30を参照して、シリコン窒化膜21をマスクとしてポリシリコン膜4、トンネル酸化膜3およびシリコン基板1を順次エッチングする。これにより、シリコン基板1に底面43bが規定される凹部43mおよび43nが形成される。

【0085】

図31を参照して、凹部43mおよび43nを充填しシリコン窒化膜21を覆うように、TEOSなどを原料としたシリコン酸化膜を堆積する。このシリコン酸化膜に異方性エッチングを行ない、所定の形状を有するサイドウォール41を形成する。サイドウォール41は、凹部43mおよび43nの底面43bの一部を覆いその他の部分を露出させるように形成される。

【0086】

図32を参照して、サイドウォール41をマスクとしてシリコン基板1をエッチングし、シリコン基板1にトレンチ42mおよび42nを形成する。

【0087】

図33を参照して、トレンチ42mおよび42nの内壁に熱酸化法による酸化工程を行なう。この酸化工程により、トレンチ42mおよび42nの側壁および底面には、内壁酸化膜45が形成される。また、サイドウォール41越しにトンネル酸化膜3の両端部に隣接するシリコン基板1およびポリシリコン膜4に対しても酸化が行なわれる。これにより、トンネル酸化膜3の両端には所定形状を有するバースピーク部11および12が形成される。

【0088】

上述の酸化工程においては、トンネル酸化膜3の側壁からサイドウォール41の弧状に延びる表面までの距離、言い換えればサイドウォール41が形成される幅を調節することによって、トンネル酸化膜3に形成されるバースピーク部11および12の大きさを自由に制御することができる。つまり、サイドウォール41が形成される幅を大きくすることによってシリコン基板1およびポリシリコン膜4が酸化される程度が小さくなり、バースピーク部11および12の大きさを小さくすることができる。反対に、サイドウォール41が形成される幅を小さく

することによってシリコン基板 1 およびポリシリコン膜 4 が酸化される程度が大きくなり、バースピーク部 1 1 および 1 2 の大きさを大きくすることができる。また、上述の酸化工程における酸化条件、ポリシリコン膜 4 の厚み、およびサイドウォール 4 1 が形成される幅を適当に組合せることによって、バースピーク部 1 1 および 1 2 が形成される大きさをさらに自由に制御することができる。

【0089】

図 3 4 を参照して、素子分離酸化膜 6 m および 6 n を形成するため、プラズマ CVD (chemical vapor deposition) 法を用いて、トレンチ 2 m および 2 n ならびに凹部 4 3 m および 4 3 n を充填しシリコン窒化膜 2 1 の頂面を覆うようにシリコン酸化膜を堆積する。

【0090】

図 3 5 を参照して、化学的機械研磨法により、シリコン窒化膜 2 1 の頂面が少なくとも露出するまで図 3 4 に示す工程で堆積したシリコン酸化膜を研磨する。これにより、トレンチ 2 m および 2 n ならびに凹部 4 3 m および 4 3 n を充填し、シリコン窒化膜 2 1 の頂面と同一平面上に形成された頂面 6 a を有する素子分離酸化膜 6 m および 6 n が形成される。

【0091】

図 3 6 を参照して、シリコン酸化膜の研磨により露出したシリコン窒化膜 2 1 を熱リン酸などにより選択的に除去する。これにより、シリコン基板 1 の主表面 1 a 上に位置するサイドウォール 4 1 の間には凹部 9 が形成される。

【0092】

この発明の実施の形態 4 に従った半導体装置の製造方法では、トレンチ 4 2 m および 4 2 n を形成する工程は、シリコン窒化膜 2 1 をマスクとして、ポリシリコン膜 4、トンネル酸化膜 3 およびシリコン基板 1 を順次エッチングして、シリコン基板 1 により底面 4 3 b が規定される凹部 4 3 m および 4 3 n を形成する工程と、ポリシリコン膜 4 およびトンネル酸化膜 3 の側壁と接触し、かつ凹部 4 3 m および 4 3 n の底面 4 3 b の一部分を覆い凹部 4 3 m および 4 3 n の底面 4 3 b の他の部分を露出させる側壁絶縁膜としてのサイドウォール 4 1 を形成する工程と、サイドウォール 4 1 をマスクとして、サイドウォール 4 1 から露出したシ

リコン基板 1 の部分をエッチングすることによりトレンチ 4 2 m および 4 2 n を形成する工程とを含む。

【0 0 9 3】

このように構成された半導体装置およびその製造方法によれば、実施の形態 1 に記載の効果を奏することができる。加えて、酸化工程においてトンネル酸化膜 3 の側壁がサイドウォール 4 1 に覆われているため、トンネル酸化膜 3 が酸化雰囲気中に晒されることを防止できる。これにより、トンネル酸化膜 3 が直接的に酸化されずにすむため、トンネル酸化膜 3 を所望の特性に保った状態で保護することができる。また、サイドウォール 4 1 を形成する幅を調節することによって、バースピーク部 1 1 および 1 2 の形成される大きさを制御することができる。このため、さらに大きな自由度をもって所定形状を有するバースピーク部 1 1 および 1 2 を形成することができる。

【0 0 9 4】

また、サイドウォール 4 1 を形成することによって、素子分離酸化膜 6 m および 6 n の間に位置する活性領域のシリコン基板 1 には、肩部分（凹部 4 3 m の底面 4 3 b 部分）が形成される。したがって、活性領域においてシリコン基板 1 の主表面 1 a に達するコンタクトホールを形成する工程の際に、マスクのミスアライメントが発生した場合にも、コンタクトホールがトレンチ 4 2 m および 4 2 n の底面に突き抜けることを抑制できる。これにより、コンタクトホールに充填される導電膜とシリコン基板 1 との短絡を防止することができる。

【0 0 9 5】

（実施の形態 5）

図 3 7 は、この発明の実施の形態 5 における半導体装置を示す断面図である。図 3 7 を参照して、実施の形態 5 における半導体装置は、実施の形態 4 における半導体装置と比較して、図 2 9 中に示すポリシリコン膜 4 を備えない。

【0 0 9 6】

図 3 8 は、図 3 7 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 5 における半導体装置の製造方法は、実施の形態 4 における半導体装置の製造方法の図 3 6 に示す工程の後に図 3 8 に示す工程が続く。さらにこの後

に、実施の形態 1 における半導体装置の製造方法の図 1 4 から図 1 7 および図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【0 0 9 7】

図 3 8 を参照して、シリコン窒化膜 2 1 を除去することによって露出したポリシリコン膜 4 を選択的に除去する。

【0 0 9 8】

このように構成された半導体装置の製造方法によれば、実施の形態 1、3 および 4 に記載の効果と同様の効果を奏することができる。

【0 0 9 9】

(実施の形態 6)

図 3 9 は、この発明の実施の形態 6 における半導体装置を示す断面図である。図 3 9 を参照して、実施の形態 6 における半導体装置は、実施の形態 4 における半導体装置と比較して、図 2 9 中に示すサイドウォール 4 1 を備えない。

【0 1 0 0】

図 4 0 は、図 3 9 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 6 における半導体装置の製造方法は、実施の形態 4 における半導体装置の製造方法の図 3 2 に示す工程と図 3 3 に示す工程との間に、図 4 0 に示す工程を行なう。以下において、重複する製造工程の説明は省略する。

【0 1 0 1】

図 4 0 を参照して、TEOS などを原料としたシリコン酸化膜からなるサイドウォール 4 1 を選択的に除去する。

【0 1 0 2】

この発明の実施の形態 6 に従った半導体装置の製造方法は、バースピーク部 1 1 および 1 2 を形成する工程の前に、サイドウォール 4 1 を除去する工程をさらに備える。

【0 1 0 3】

このように構成された半導体装置によれば、実施の形態 1 に記載の効果を奏することができる。加えて、バースピーク部 1 1 および 1 2 を形成するために所定の酸化工程を行なう前にサイドウォール 4 1 を除去しているため、サイドウォー

ル 4 1 とトンネル酸化膜 3 の側壁とが接触した構造とならない。このため、サイドウォール 4 1 を形成する T E O S に含まれるカーボンがトンネル酸化膜 3 を形成するシリコン酸化膜へ移動し、トンネル酸化膜 3 の特性に影響を与えることを防止できる。

【 0 1 0 4 】

(実施の形態 7)

図 4 1 は、この発明の実施の形態 7 における半導体装置を示す断面図である。図 4 1 を参照して、実施の形態 7 における半導体装置は、実施の形態 4 における半導体装置と比較して、図 2 9 中に示すサイドウォール 4 1 およびポリシリコン膜 4 を備えない。

【 0 1 0 5 】

図 4 2 は、図 4 1 中に示す半導体装置の製造方法の工程を示す断面図である。実施の形態 7 における半導体装置の製造方法は、実施の形態 4 における半導体装置の製造方法の図 3 2 に示す工程と図 3 3 に示す工程との間に、実施の形態 6 で説明した図 4 0 に示す工程を行なう。さらに、実施の形態 4 における半導体装置の製造方法の図 3 6 に示す工程の後に図 4 2 に示す工程を行なう。この後に、実施の形態 1 における半導体装置の製造方法の図 1 4 から図 1 7 および図 1 に示す工程が続く。以下において、重複する製造工程の説明は省略する。

【 0 1 0 6 】

図 4 2 を参照して、シリコン窒化膜 2 1 を除去することによって露出したポリシリコン膜 4 を選択的に除去する。

【 0 1 0 7 】

このように構成された半導体装置の製造方法によれば、実施の形態 1、3 および 6 に記載に効果と同様の効果を奏することができる。

【 0 1 0 8 】

(実施の形態 8)

この発明の実施の形態 8 における半導体装置の製造方法は、実施の形態 1 における半導体装置の製造方法と全く同様の構成を備える。ただ、実施の形態 8 では、実施の形態 1 では説明を省略していたシリコン基板 1 にウェル領域を形成する

工程について特に説明を行なう。

【0109】

図2を参照して、シリコン基板1上にトンネル酸化膜3を形成する前に、まずシリコン基板1上に写真製版のアライメント用マークを形成し、シリコン基板1の表面を保護するため酸化膜を形成する。このアライメント用マークを基準に所定箇所に開口を有するレジスト膜を形成する。レジスト膜をマスクとしてシリコン基板1に向けてリンなどの不純物を注入しウェル領域を形成する。その後、実施の形態1に記載の図2に示す工程へと続く。

【0110】

この発明の実施の形態8に従った半導体装置の製造方法は、トンネル酸化膜3を形成する工程の前に、シリコン基板1に不純物を注入しウェル領域を形成する工程をさらに備える。

【0111】

このように構成された半導体装置の製造方法によれば、トンネル酸化膜3を形成する工程の前にウェル領域を形成するための不純物の注入を行なっている。このような工程の順序を採用することによってトンネル酸化膜3越しに不純物が注入されることがない。このため、トンネル酸化膜3に不純物が注入されることによるトンネル酸化膜3の劣化を防止することができる。

【0112】

(実施の形態9)

この発明の実施の形態9における半導体装置の製造方法は、実施の形態8における半導体装置の製造方法と比較して、シリコン基板1にウェル領域を形成する工程を行なうタイミングが異なる。

【0113】

図13を参照して、シリコン窒化膜21を除去した後に、トレンチ2mおよび2nを基準として所定位置に開口を有するレジスト膜を形成する。レジスト膜をマスクとして、ポリシリコン膜4およびトンネル酸化膜3越しにシリコン基板1に向けてリンなどの不純物を注入しウェル領域を形成する。その後、実施の形態1における図14に示す工程へと続く。

【0 1 1 4】

この発明の実施の形態 9 に従った半導体装置の製造方法は、シリコン窒化膜 2 1 を除去する工程の後に、シリコン基板 1 に不純物を注入しウェル領域を形成する工程をさらに備える。

【0 1 1 5】

このように構成された半導体装置の製造方法によれば、トレンチ 2 m および 2 n を基準にして所定位置にウェル領域を形成している。このため、実施の形態 8 で説明したアライメント用マークを形成する工程およびシリコン基板 1 の表面を保護するため酸化膜を形成する工程を行なう必要がない。これにより、半導体装置の製造工程を削減することができる。

【0 1 1 6】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 1 7】

【発明の効果】

以上説明したように、この発明に従えば、ゲート絶縁膜に所望の大きさにバースピークが形成され、ゲート絶縁膜の電気的特性に優れた半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における半導体装置を示す断面図である。

【図 2】 図 1 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 3】 図 1 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 4】 図 1 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 5】 図 1 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 6】 図 1 中に示す半導体装置の製造方法の第 5 工程を示す断面図である。

【図 7】 隣接するフローティングゲート間で生じる短絡を説明するための断面図である。

【図 8】 ポリシリコン膜によって短絡が発生した半導体装置を示す平面図である。

【図 9】 図 8 中の I X - I X 線上に沿った断面図である。

【図 1 0】 図 8 中の X - X 線上に沿った断面図である。

【図 1 1】 図 1 中に示す半導体装置の製造方法の第 6 工程を示す断面図である。

【図 1 2】 図 1 中に示す半導体装置の製造方法の第 7 工程を示す断面図である。

【図 1 3】 図 1 中に示す半導体装置の製造方法の第 8 工程を示す断面図である。

【図 1 4】 図 1 中に示す半導体装置の製造方法の第 9 工程を示す断面図である。

【図 1 5】 図 1 中に示す半導体装置の製造方法の第 1 0 工程を示す断面図である。

【図 1 6】 図 1 中に示す半導体装置の製造方法の第 1 1 工程を示す断面図である。

【図 1 7】 図 1 中に示す半導体装置の製造方法の第 1 2 工程を示す断面図である。

【図 1 8】 トンネル酸化膜にバースピークを形成する第 1 工程を示す断面図である。

【図 1 9】 トンネル酸化膜にバースピークを形成する第 2 工程を示す断面図である。

【図 2 0】 トンネル酸化膜にバースピークを形成する第 3 工程を示す断面

図である。

【図 2 1】 図 1 8 から図 2 0 に示す工程によってトンネル酸化膜に形成されたバースピークの形状を示す図である。

【図 2 2】 図 1 8 から図 2 0 に示す工程によってトンネル酸化膜に形成されたバースピークの形状を示す別の図である。

【図 2 3】 図 1 8 から図 2 0 に示す工程によってトンネル酸化膜に形成されたバースピークの形状を示すさらに別の図である。

【図 2 4】 シリコンに対する固体の溶解度と温度との関係を示すグラフである。

【図 2 5】 トンネル酸化膜上のポリシリコン膜に注入される不純物濃度が調整された場合のバースピークの形状を示す断面図である。

【図 2 6】 トンネル酸化膜上のポリシリコン膜に注入される不純物濃度が調整された場合のバースピークの形状を示す別の断面図である。

【図 2 7】 この発明の実施の形態 3 における半導体装置を示す断面図である。

【図 2 8】 図 2 7 中に示す半導体装置の製造方法の工程を示す断面図である。

【図 2 9】 この発明の実施の形態 4 における半導体装置を示す断面図である。

【図 3 0】 図 2 9 中に示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 3 1】 図 2 9 中に示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 3 2】 図 2 9 中に示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 3 3】 図 2 9 中に示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 3 4】 図 2 9 中に示す半導体装置の製造方法の第 5 工程を示す断面図である。

【図 3 5】 図 2 9 中に示す半導体装置の製造方法の第 6 工程を示す断面図である。

【図 3 6】 図 2 9 中に示す半導体装置の製造方法の第 7 工程を示す断面図である。

【図 3 7】 この発明の実施の形態 5 における半導体装置を示す断面図である。

【図 3 8】 図 3 7 中に示す半導体装置の製造方法の工程を示す断面図である。

【図 3 9】 この発明の実施の形態 6 における半導体装置を示す断面図である。

【図 4 0】 図 3 9 中に示す半導体装置の製造方法の工程を示す断面図である。

【図 4 1】 この発明の実施の形態 7 における半導体装置を示す断面図である。

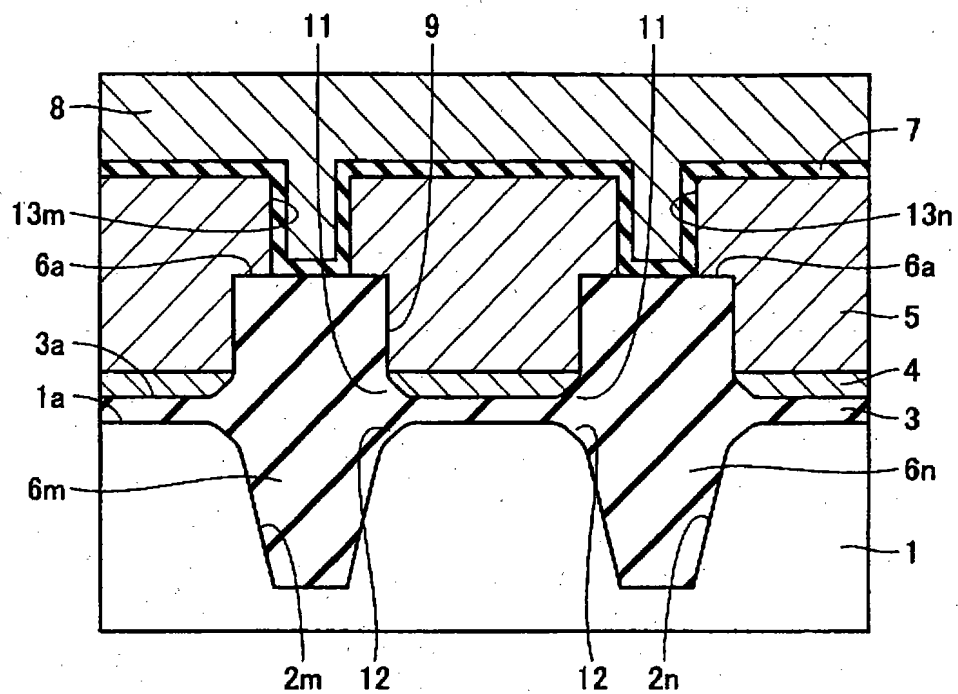
【図 4 2】 図 4 1 中に示す半導体装置の製造方法の工程を示す断面図である。

【符号の説明】

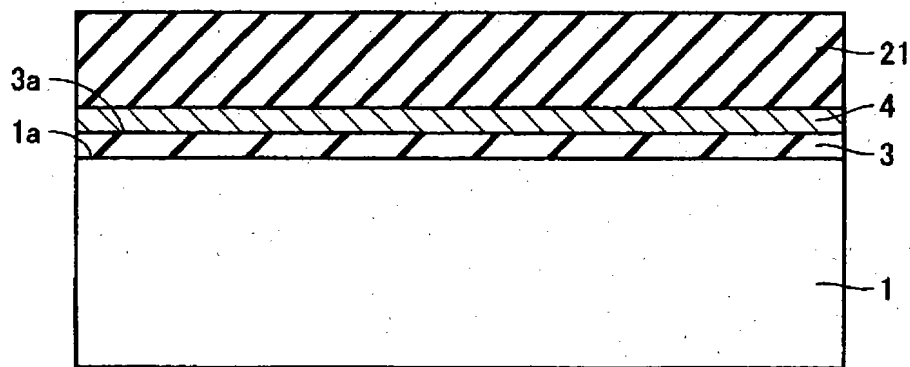
1 シリコン基板、1 a 主表面、2 m, 2 n, 4 2 m, 4 2 n トレンチ、
3 トンネル酸化膜、3 a, 6 a 頂面、4, 4 p ポリシリコン膜、5 フローティングゲート、6 m, 6 n 素子分離酸化膜、1 1, 1 2, 2 7, 3 0 バーズピーク部、2 1 シリコン窒化膜、3 1 アモルファスシリコン膜、4 1 サイドウォール、4 3 m, 4 3 n 凹部、4 3 b、底面。

【書類名】 図面

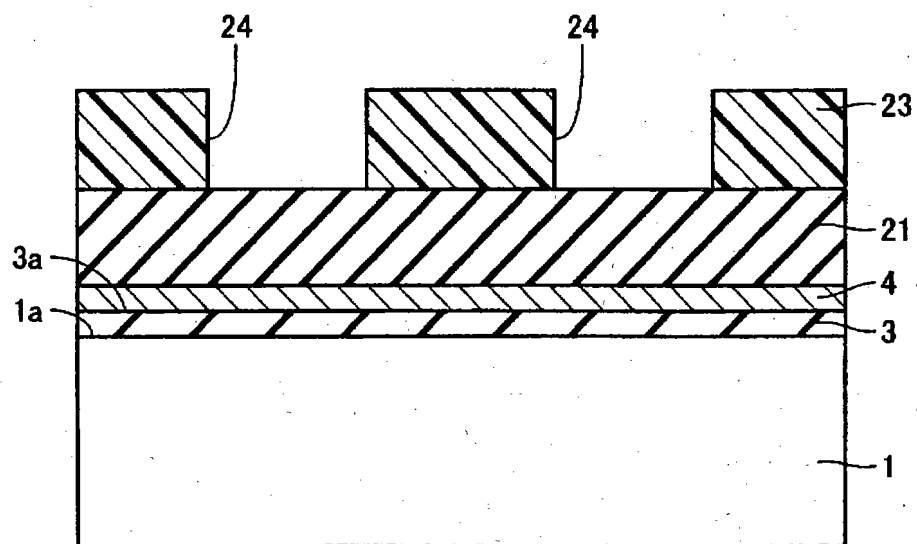
【図 1】



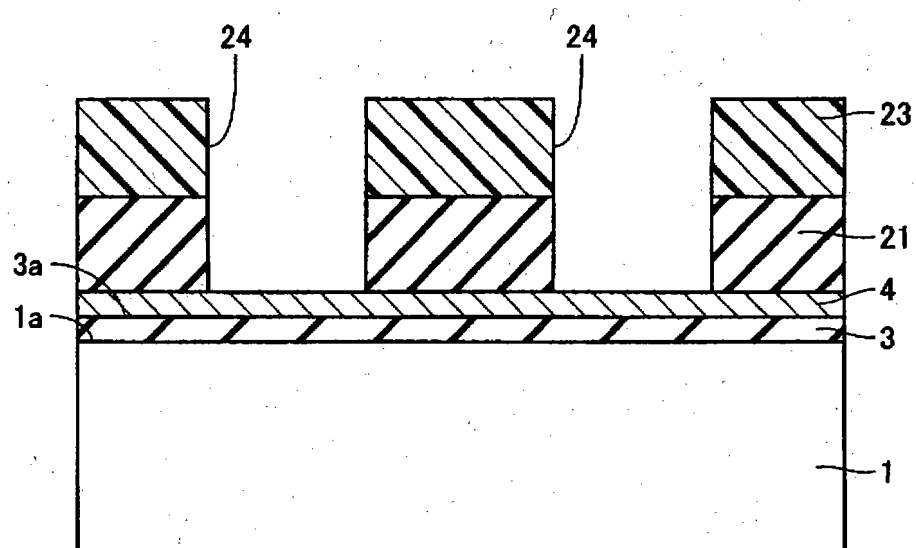
【図 2】



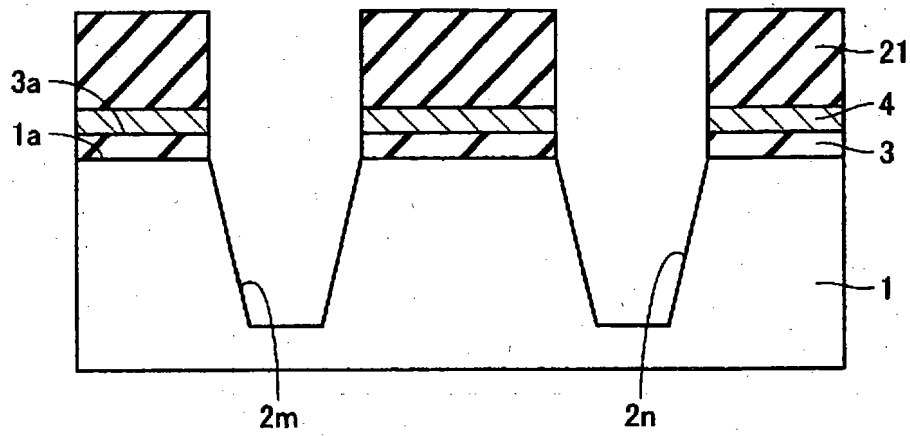
【図3】



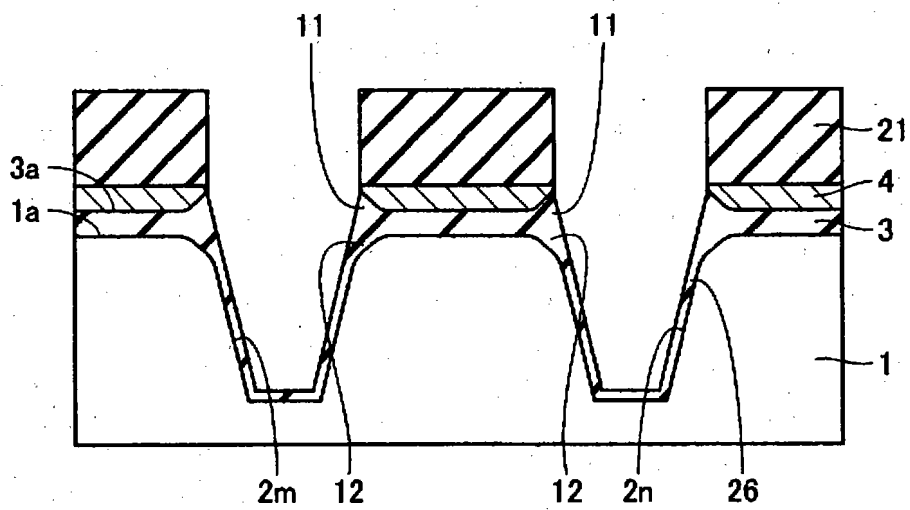
【図4】



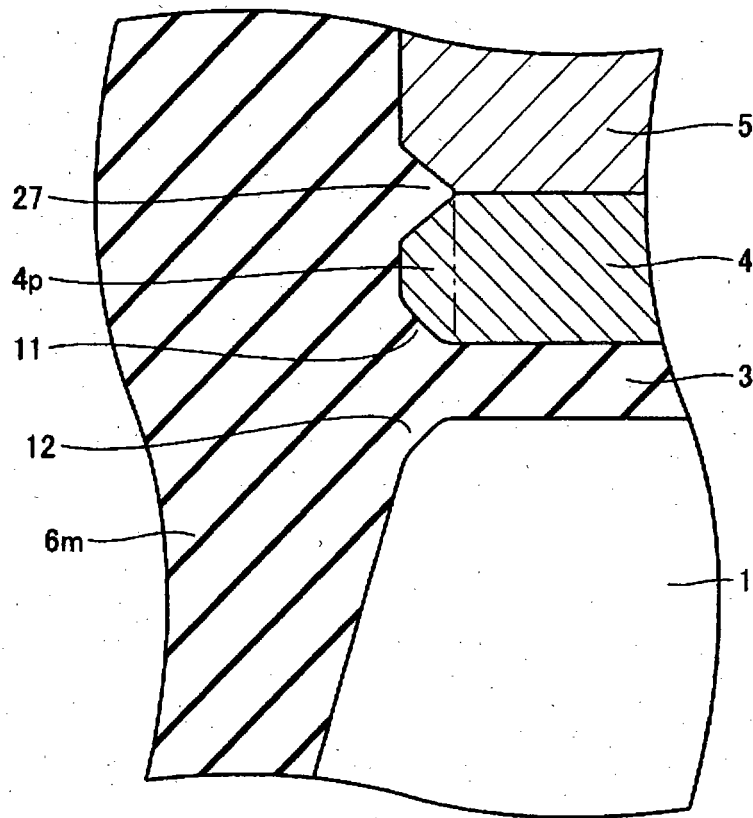
【図 5】



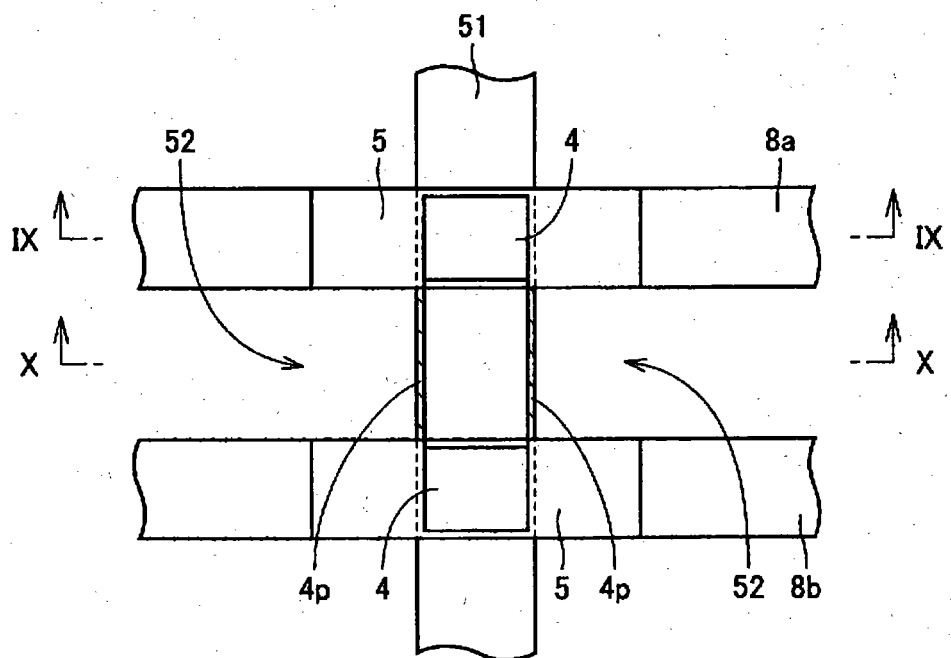
【図 6】



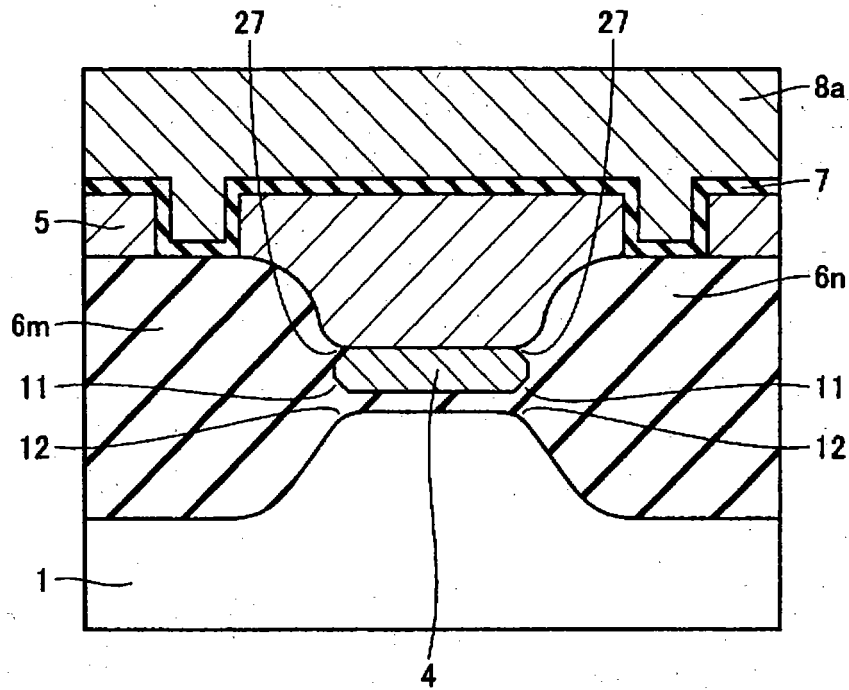
【図7】



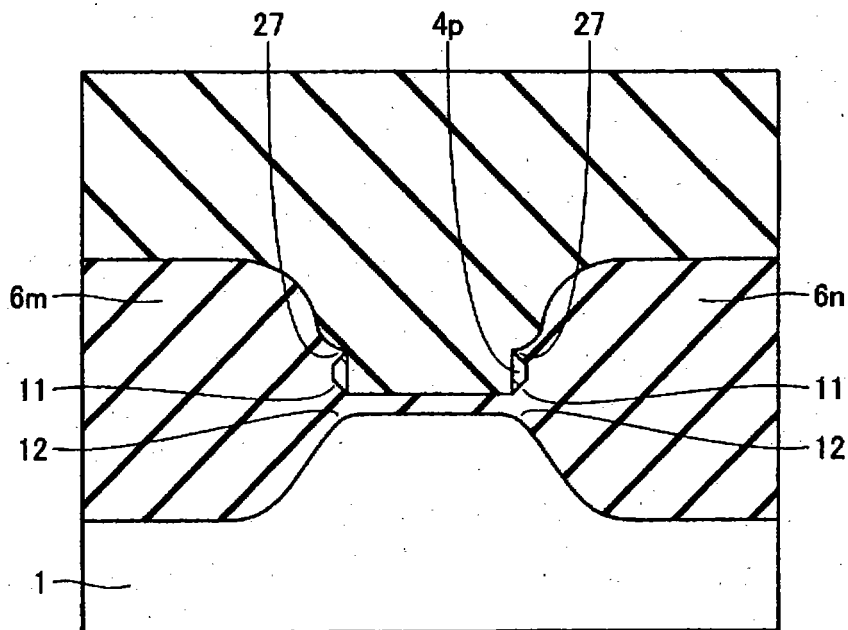
【図8】



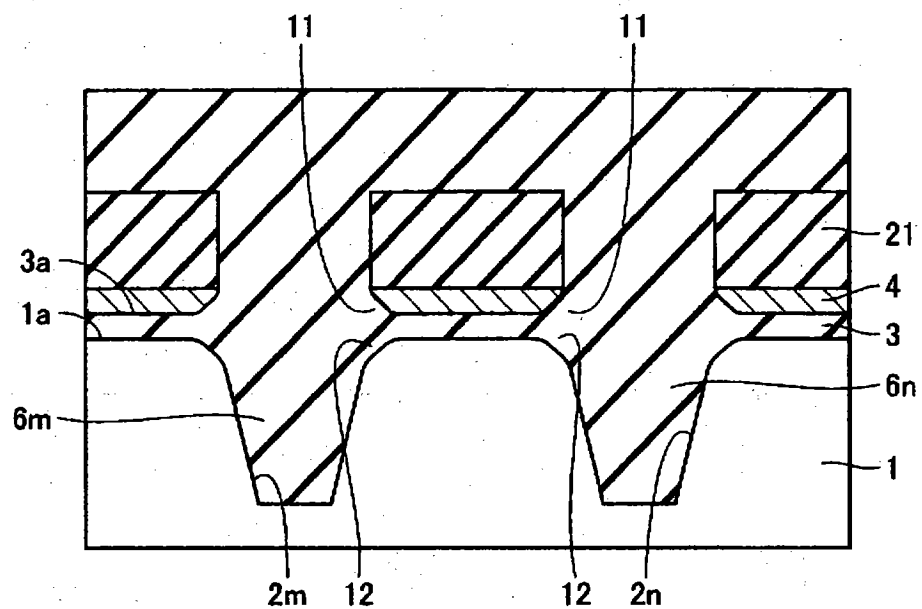
【図 9】



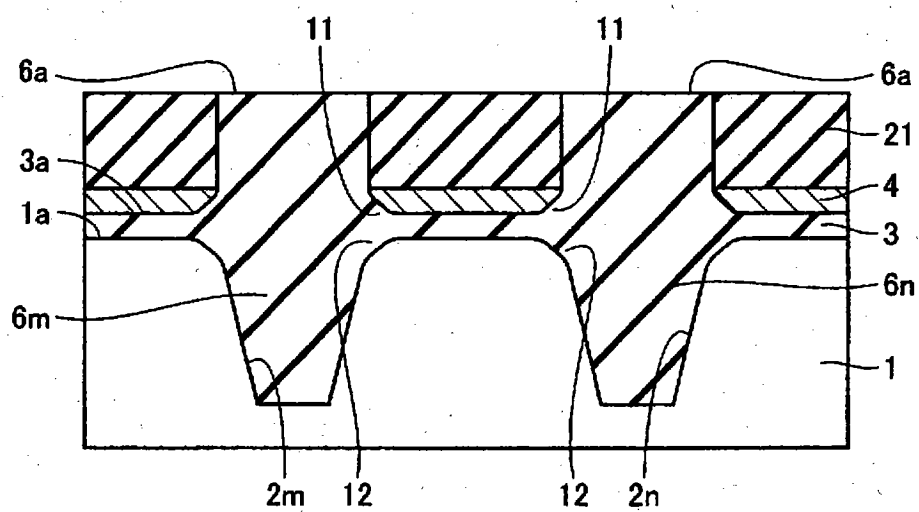
【図 10】



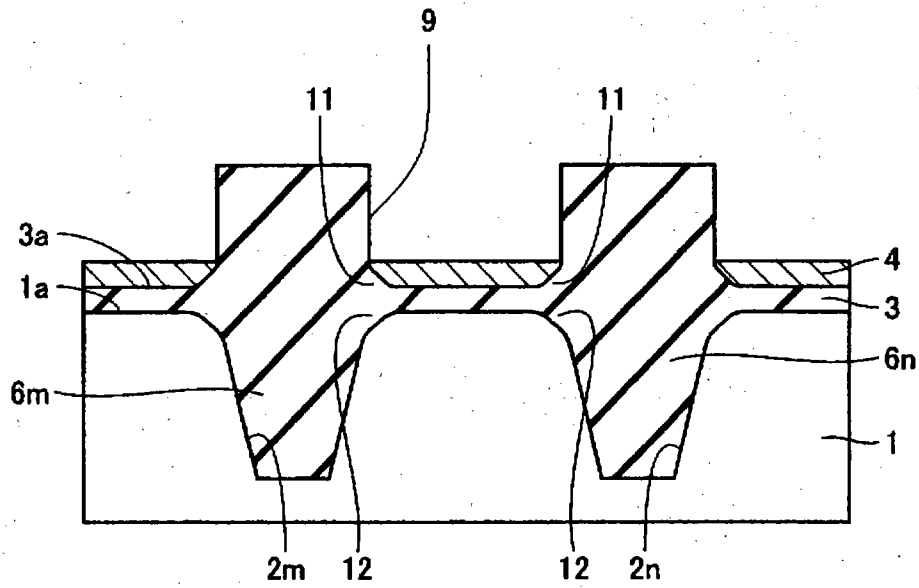
【図 1 1】



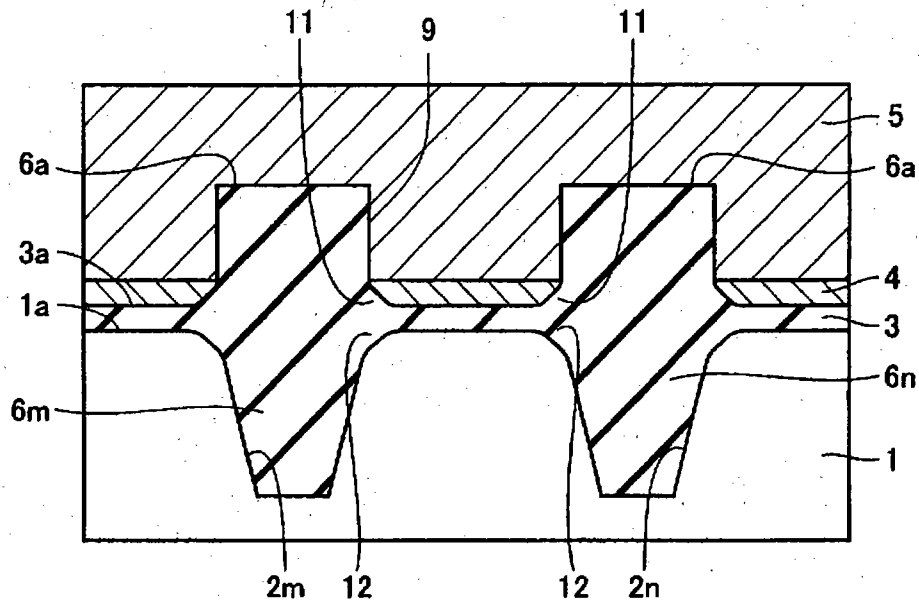
【図 1 2】



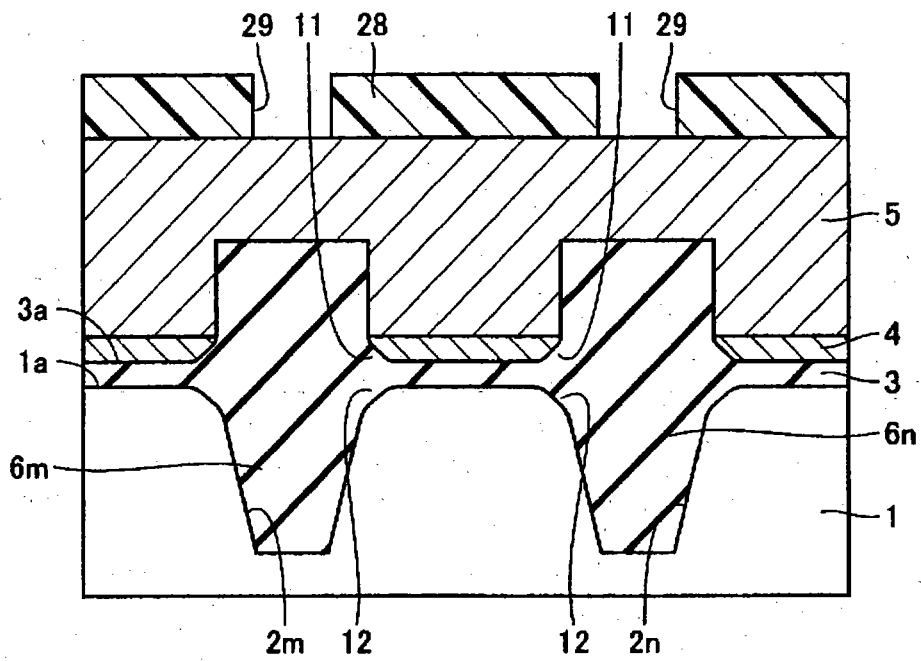
【図 13】



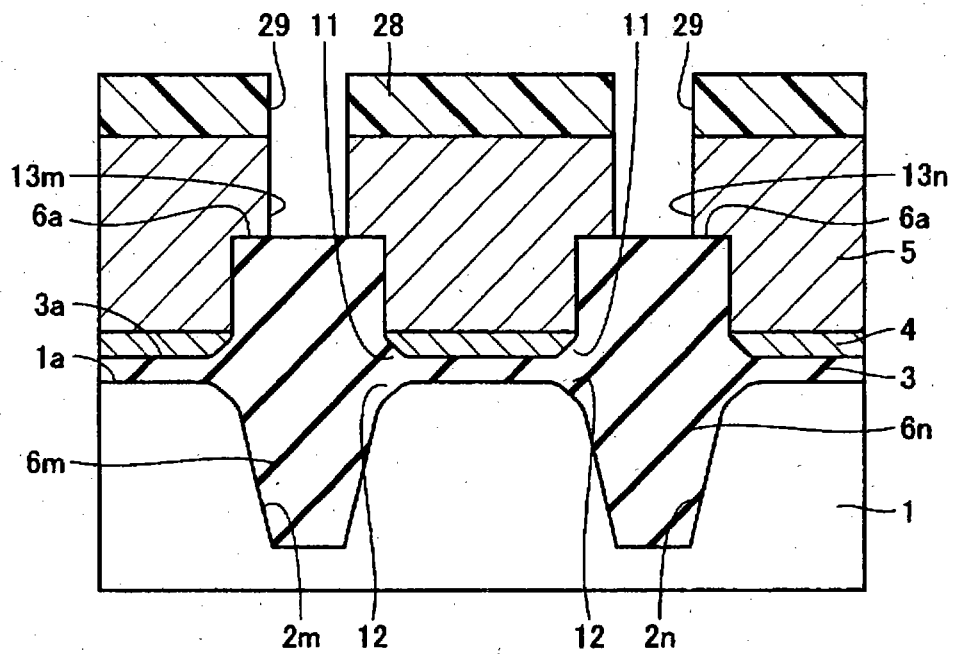
【図 14】



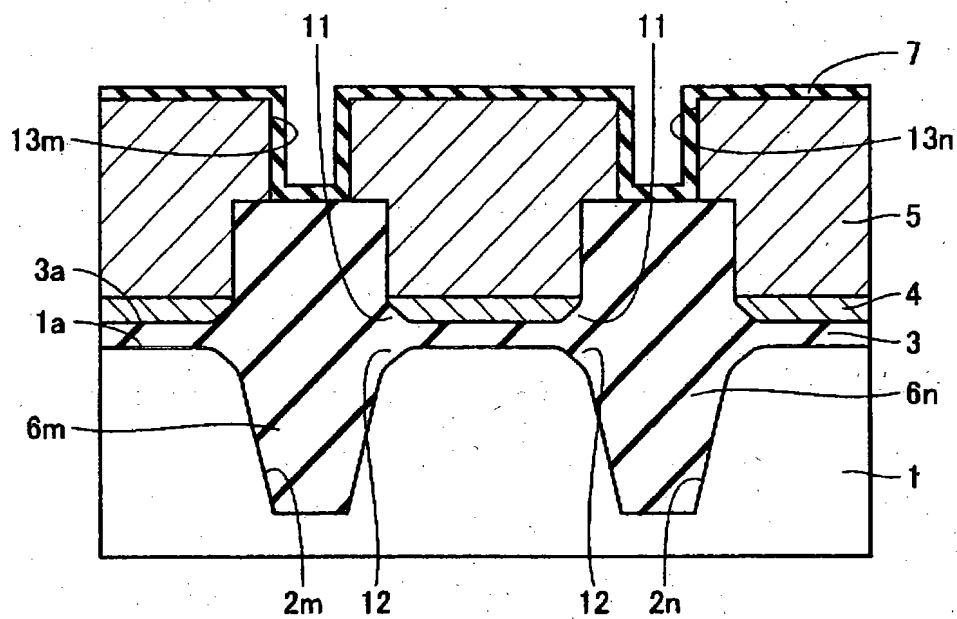
【図 15】



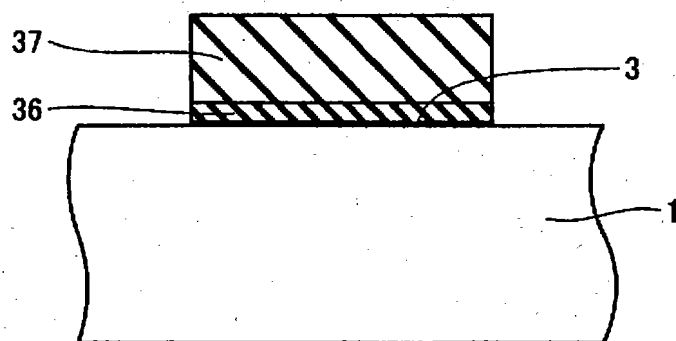
【図 16】



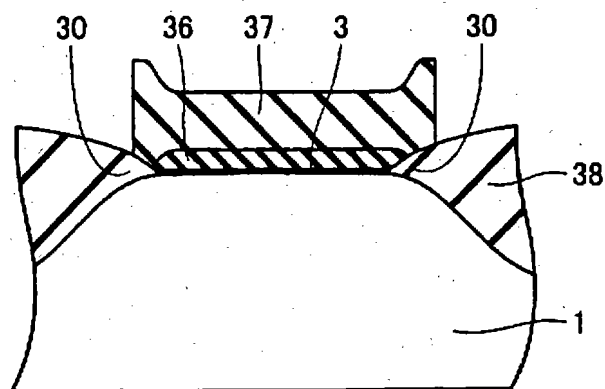
【図 17】



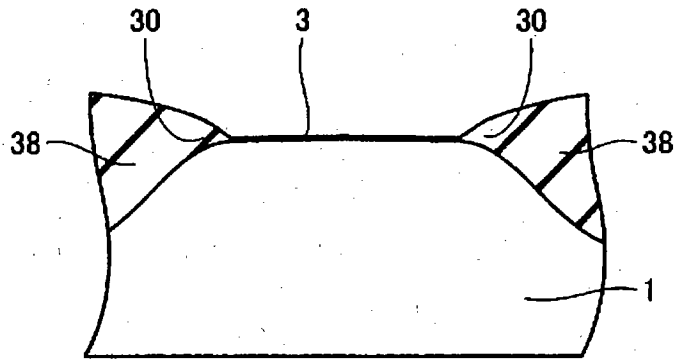
【図 18】



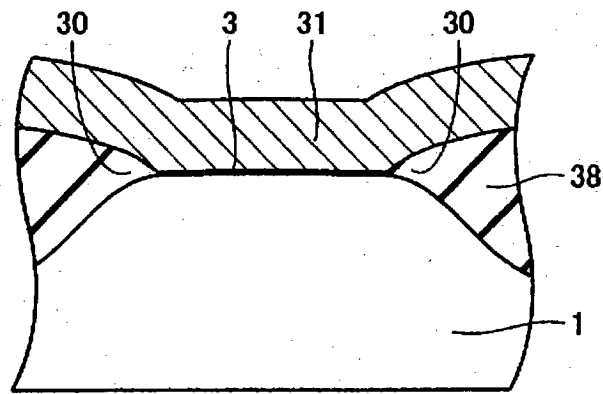
【図 19】



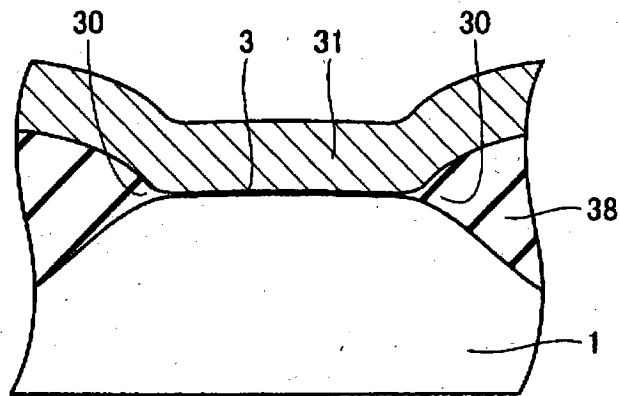
【図 20】



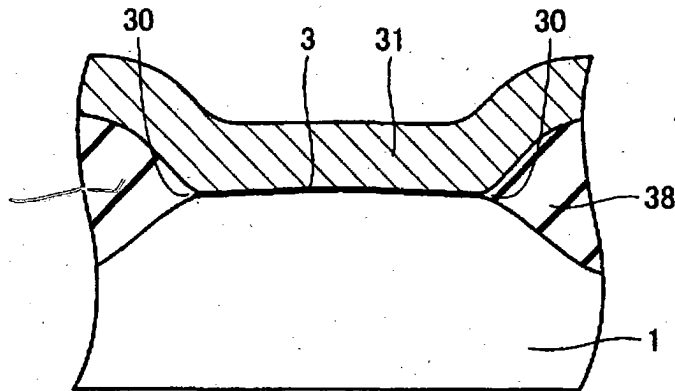
【図 21】



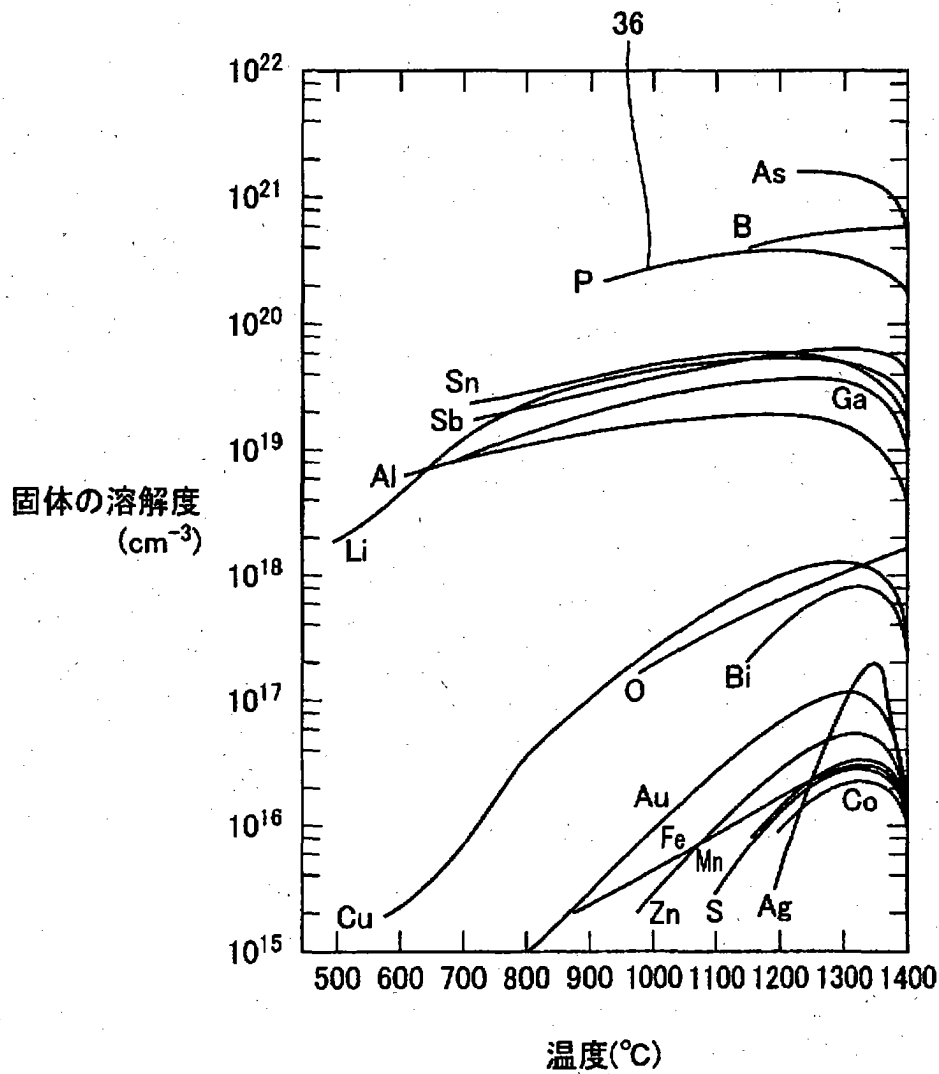
【図 22】



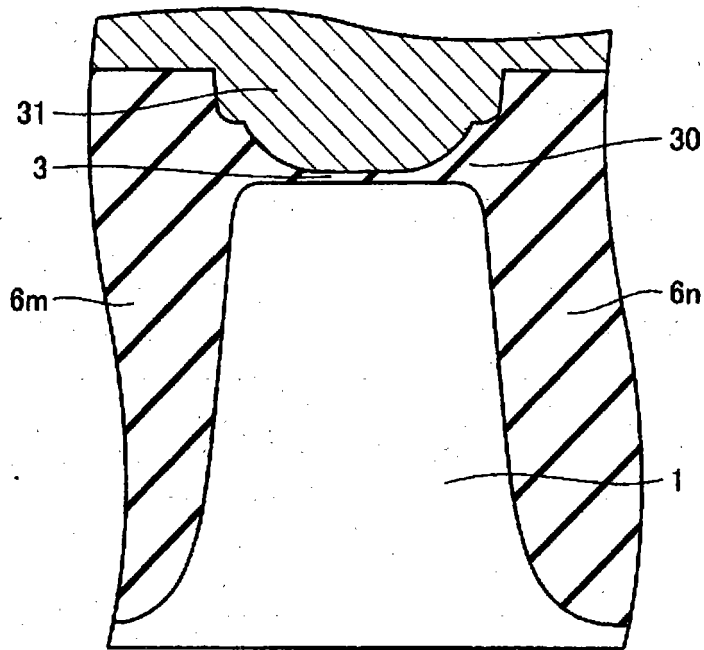
【図 2 3】



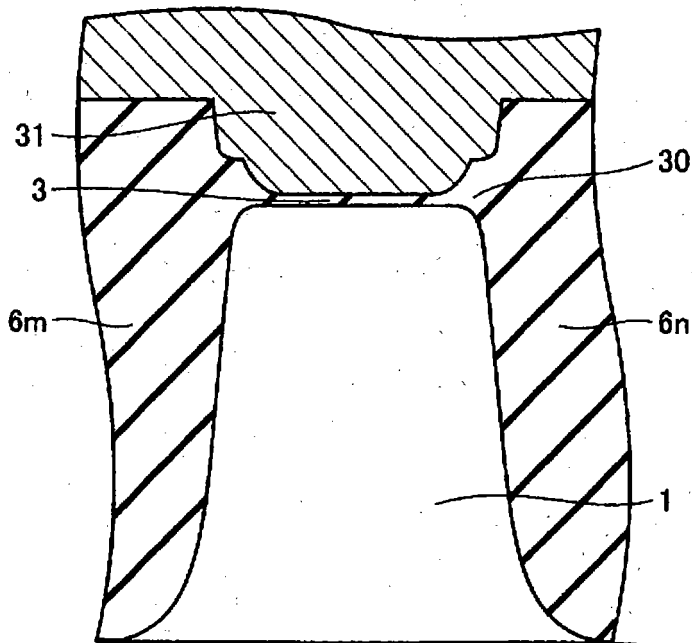
【図 2 4】



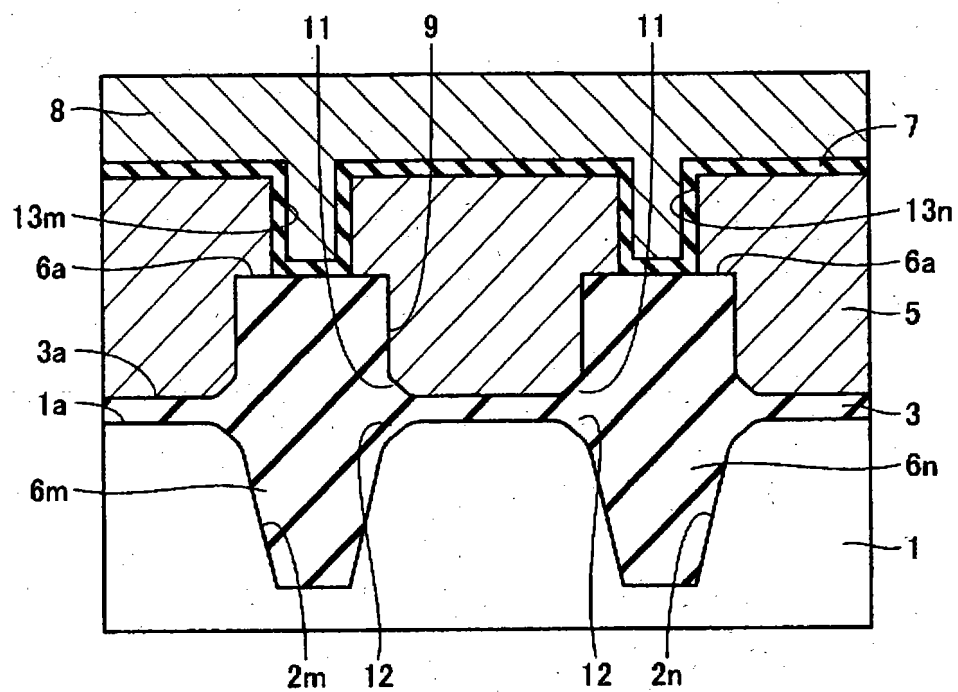
【図 25】



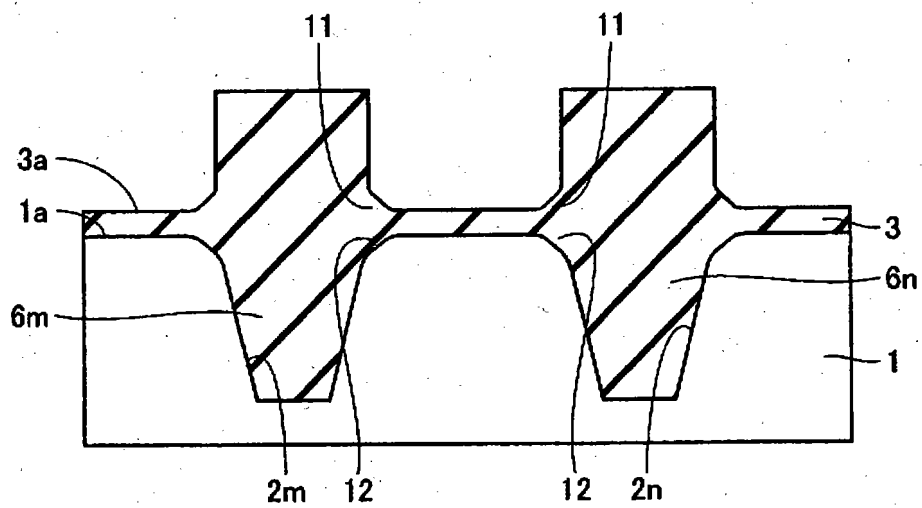
【図 26】



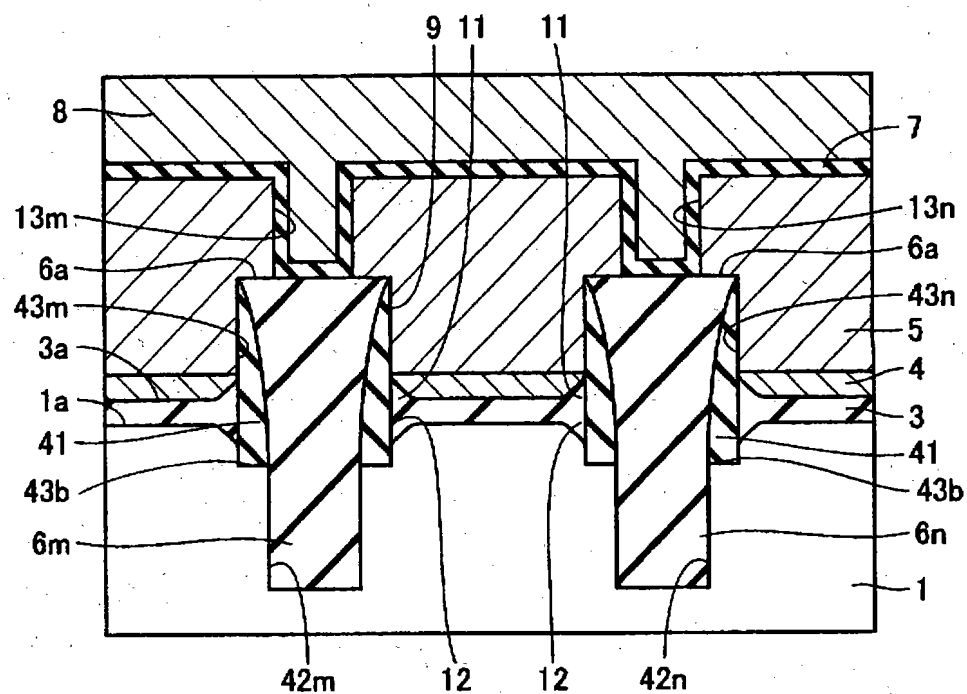
【図 27】



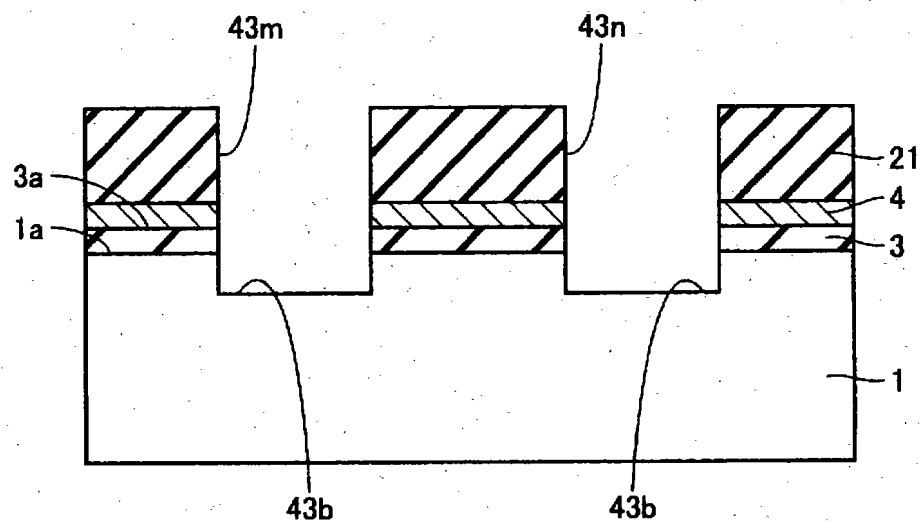
【図 28】



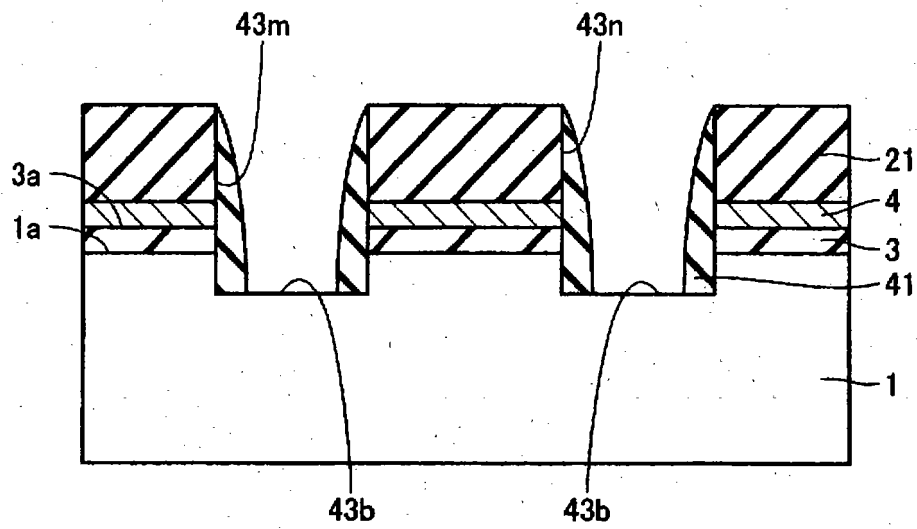
【図 29】



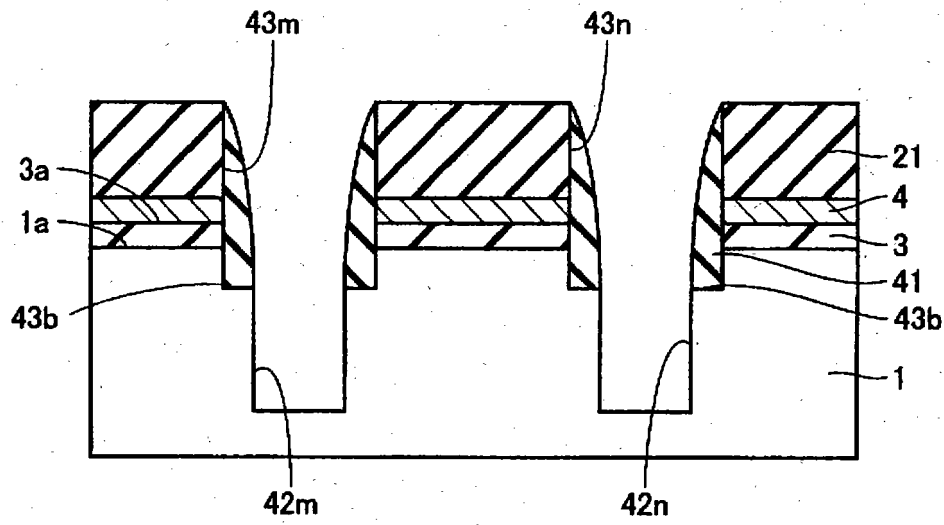
【図 30】



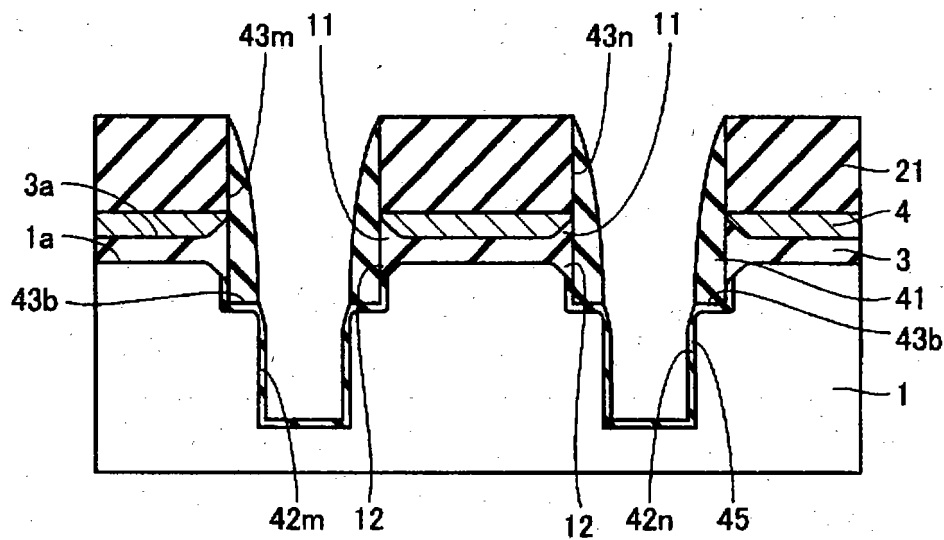
【図 3 1】



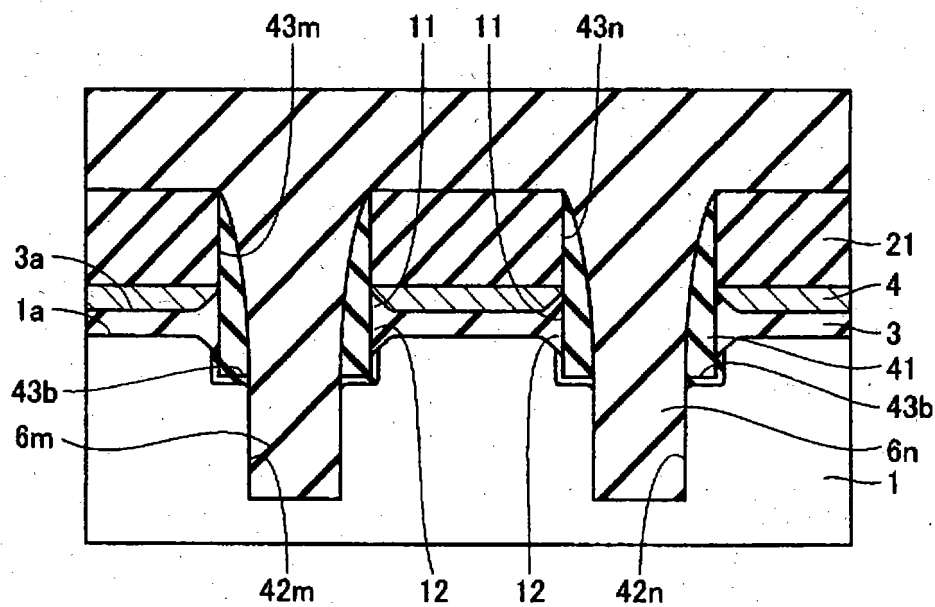
【図 3 2】



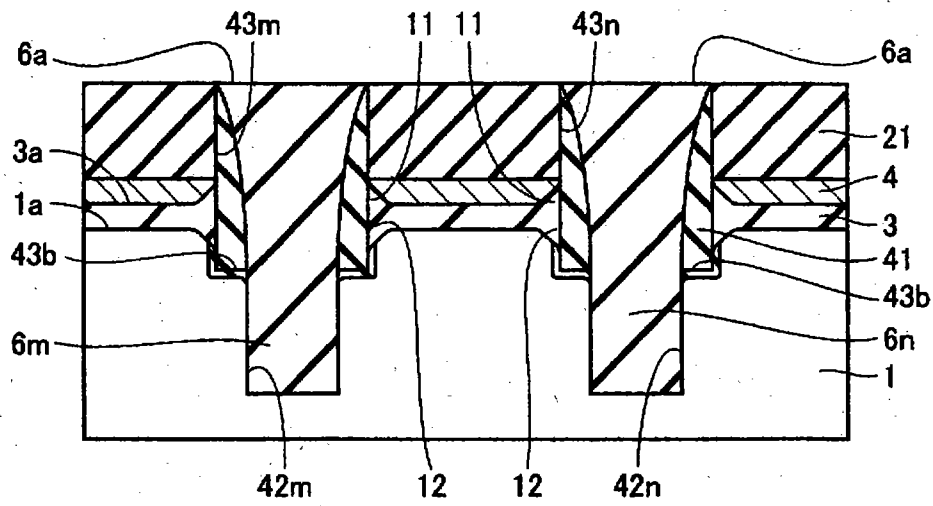
【図 3 3】



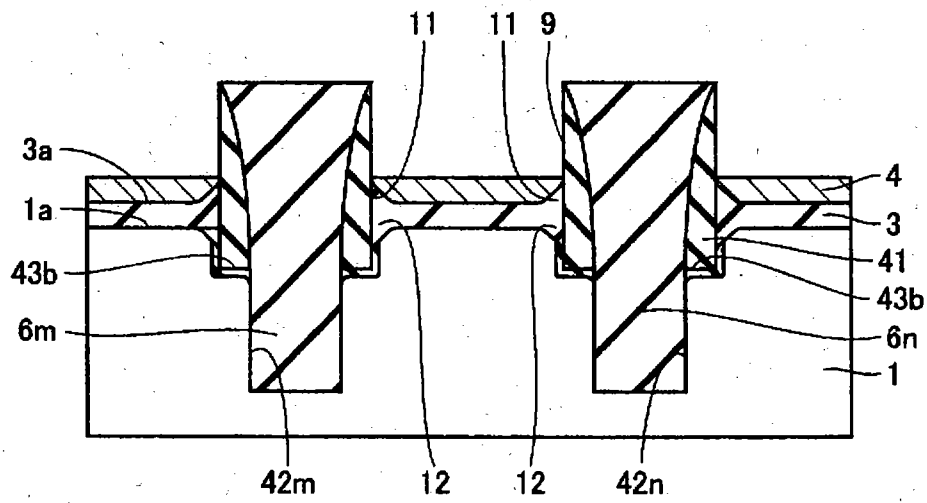
【図 3 4】



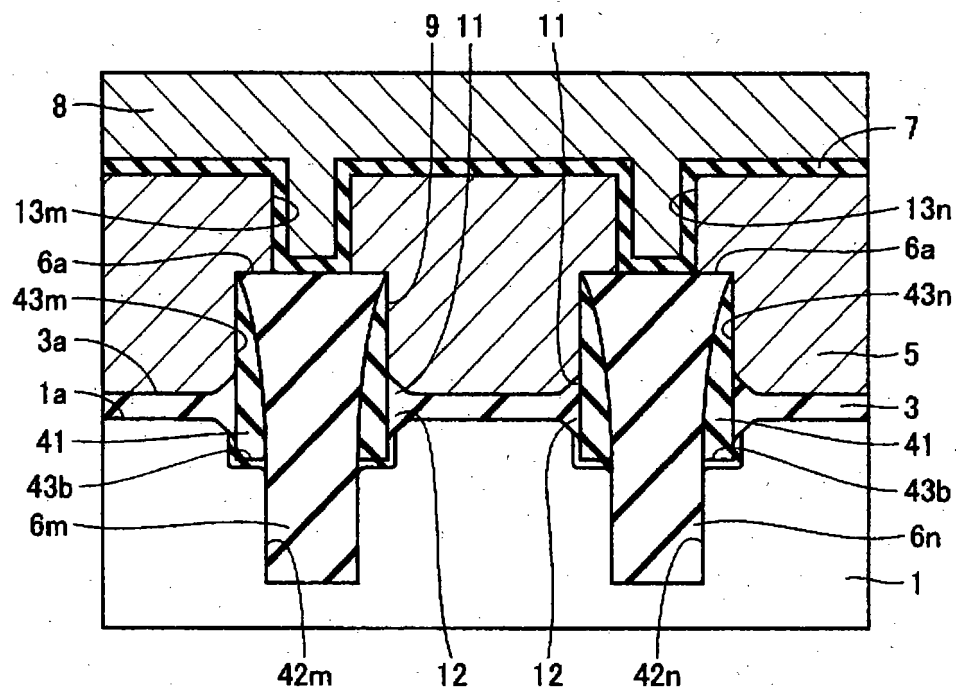
【図 3 5】



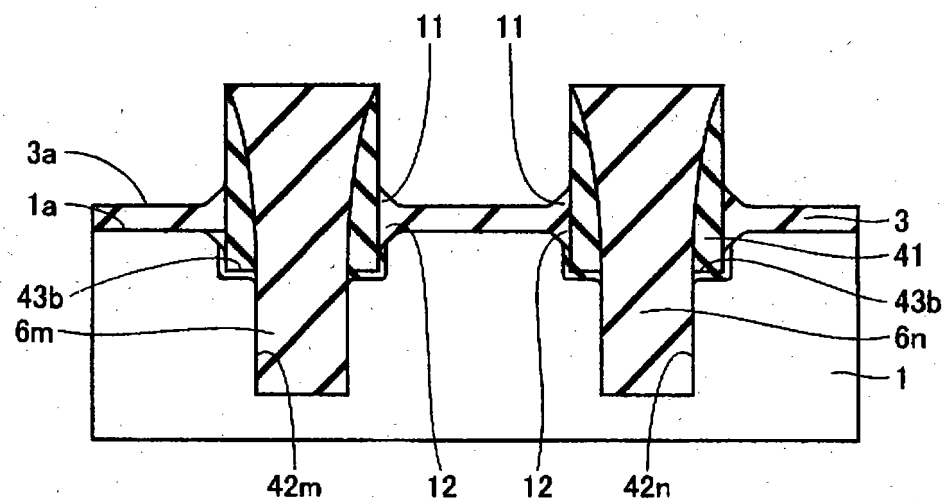
【図 3 6】



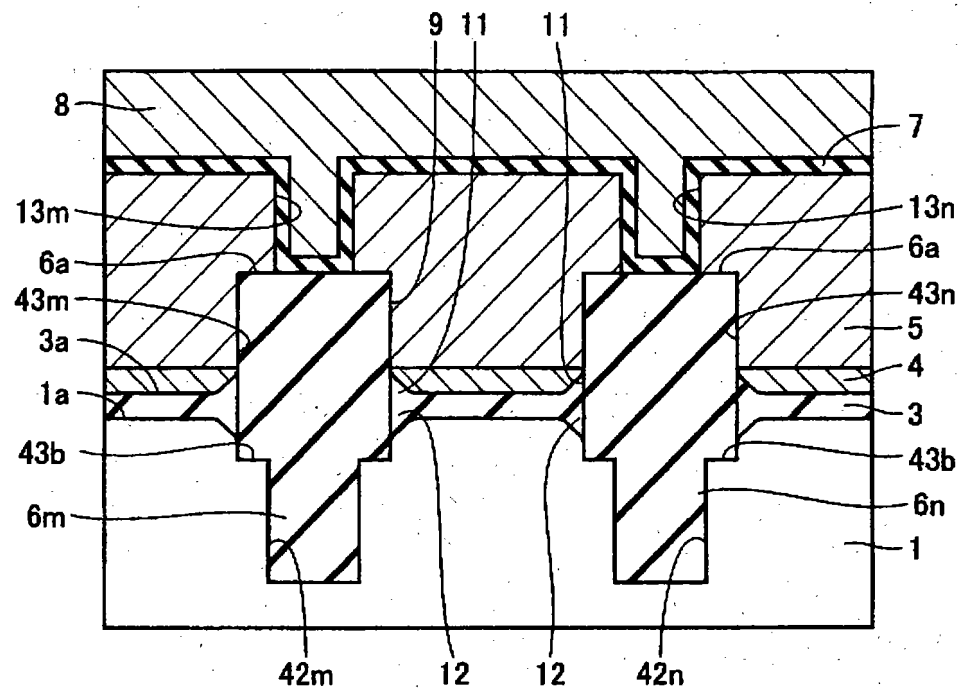
【図 37】



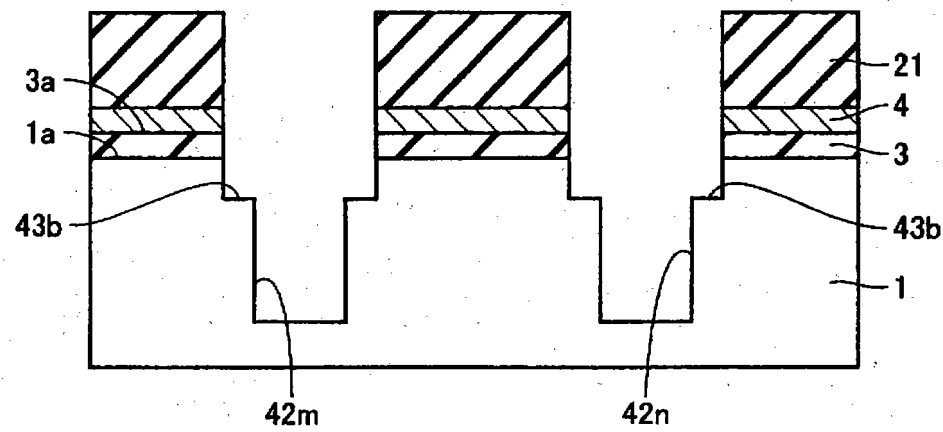
【図 38】



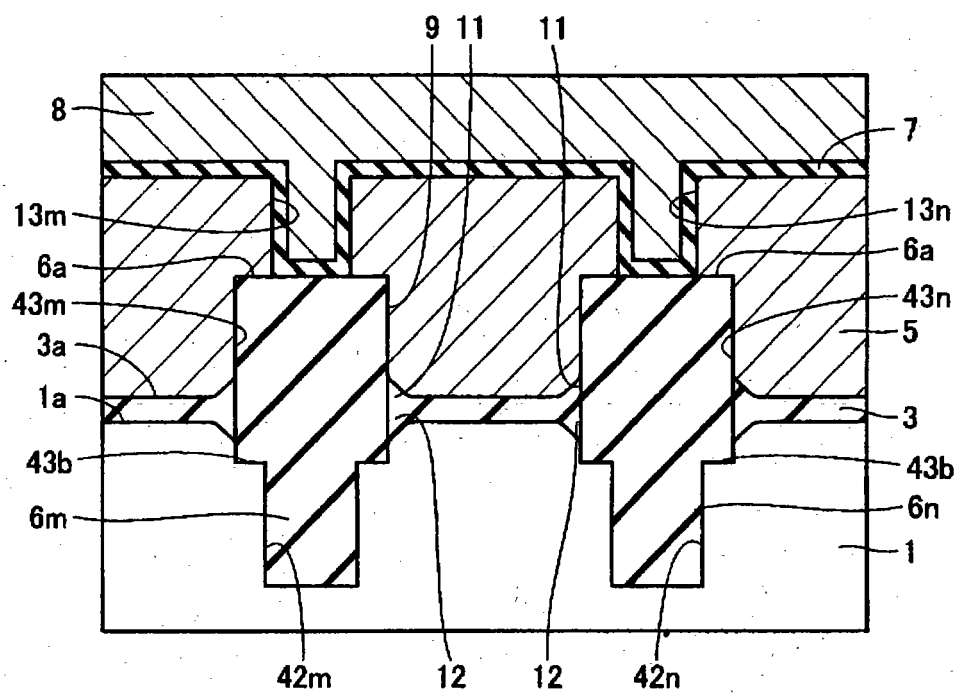
【図 39】



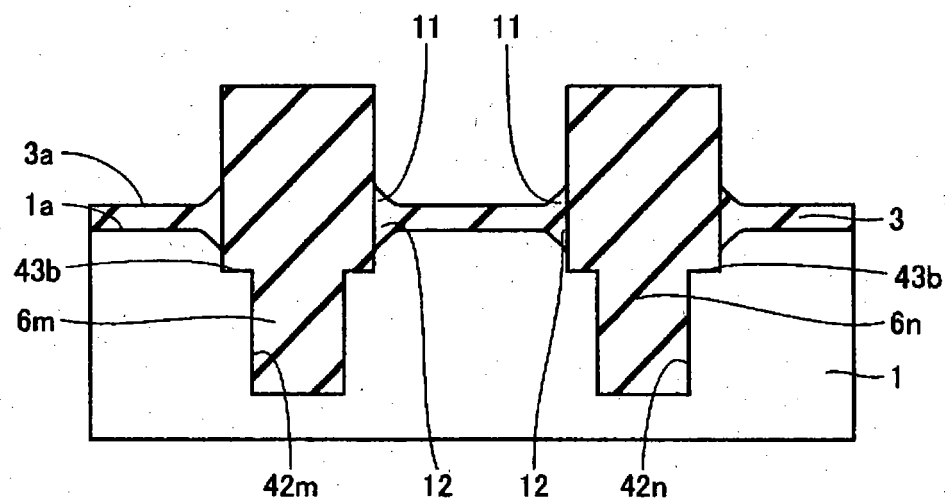
【図 40】



【図 4 1】



【図 4 2】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜に所望の大きさにバースピークが形成され、ゲート絶縁膜の電気的特性に優れた半導体装置を提供する。

【解決手段】 半導体装置は、主表面1aを有し、その主表面1aに間隔を隔ててトレンチ2mおよび2nが形成されたシリコン基板1と、トレンチ2mおよび2nを充填する素子分離酸化膜6mおよび6nと、素子分離酸化膜6mと素子分離酸化膜6nとの間に位置する主表面1a上に形成され、素子分離酸化膜6mと素子分離酸化膜6nとの各々に接触するバースピーク形状のバースピーク部11を有するトンネル酸化膜3と、トンネル酸化膜3上に形成され、素子分離酸化膜6mと素子分離酸化膜6nとの間の中間部において0を超え50nm未満の厚みを有し、バースピーク部11上においてその厚みよりも薄いシリコン膜としてのポリシリコン膜4とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社